

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-311964

(43)Date of publication of application : 09.11.2001

(51)Int.Cl.

G02F 1/1368

G09F 9/30

H01L 21/28

H01L 29/786

(21)Application number : 2000-128558

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 27.04.2000

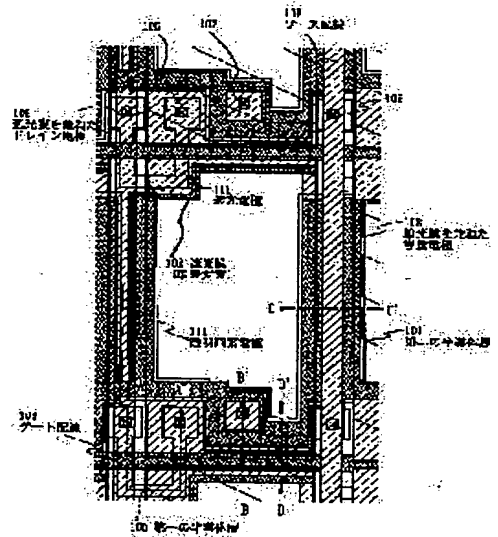
(72)Inventor : KOYAMA JUN

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To efficiently cover disclination while suppressing the number of masks for an element substrate.

SOLUTION: The source wiring, gate electrodes, capacitive electrodes and an electrically floating light shielding film of the element substrate are arranged on the edges of pixel electrodes or on regions where light leakage caused by the disclination tends to take place. Therefore the light leakage caused by the disclination is efficiently covered even when only two sheets of the masks for the wiring are used.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Gate wiring and the capacity electrode which consist of electric conduction film which has the first protection-from-light nature, and the source wiring and the drain electrode which consist of electric conduction film which has the second protection-from-light nature, It has the electric conduction film which has the translucency electrically connected to said drain electrode. The semiconductor device characterized by having lapped with the edge of the electric conduction film which said some of capacity electrodes lap with the gap of the electric conduction film which has said source wiring and said translucency, and has said source wiring and said translucency, and having been arranged.

[Claim 2] The semiconductor device carry out having the pattern of the shape of an island isolated electrically which becomes from gate wiring which consists of electric-conduction film which has the first protection-from-light nature, the source wiring which consists of electric-conduction film which has the second protection-from-light nature and a drain electrode, the electric-conduction film which have the translucency electrically connected to said drain electrode, and the electric-conduction film which have the electric-conduction film or the second protection-from-light nature which has said first protection-from-light nature as the description.

[Claim 3] Island-like the gate electrode and source wiring which consist of electric conduction film which has the first protection-from-light nature, Gate wiring electrically connected to the gate electrode of the shape of said island which consists of electric conduction film which has the second protection-from-light nature, It has the drain electrode which consists of electric conduction film which has said second protection-from-light nature, and the electric conduction film which has the translucency electrically connected to said drain electrode. The semiconductor device characterized by for said some of drain electrodes having lapped with the edge of the electric conduction film which has said translucency, and the edge of said source wiring, and having been arranged.

[Claim 4] The semiconductor device characterized by the area of said drain electrode arranged by lapping with the electric conduction film which has the color filter arranged in claim 3 above the electric conduction film which has said translucency, and has said translucency according to the color of said color filter, and said source wiring differing.

[Claim 5] The semiconductor device characterized by the area of said drain electrode arranged by lapping with the electric conduction film which has the color filter arranged in claim 3 above the electric conduction film which has said translucency, and has said translucency according to the relative luminous efficiency of the color of said color filter, and said source wiring differing.

[Claim 6] Island-like the gate electrode and source wiring which consist of electric conduction film which has the first protection-from-light nature, Gate wiring electrically connected to the gate electrode of the shape of said island which consists of electric conduction film which has the second protection-from-light nature, It has the drain electrode which consists of electric conduction film which has said second protection-from-light nature, and the electric conduction film which has the translucency electrically connected to said drain electrode. The semiconductor device characterized by having lapped with the edge of the electric conduction film which some gate electrodes of the shape of

said island lap with the gap of the electric conduction film which has said translucency, and said gate wiring, and has said translucency, and said gate wiring, and having been arranged.

[Claim 7] Island-like the gate electrode and source wiring which consist of electric conduction film which has the first protection-from-light nature, Gate wiring electrically connected to the gate electrode of the shape of said island which consists of electric conduction film which has the second protection-from-light nature, It has the drain electrode which consists of electric conduction film which has said second protection-from-light nature, and the electric conduction film which has the translucency electrically connected to said drain electrode. The semiconductor device characterized by for the field in which the second width of face of said source wiring has the second width of face of a **** and said source wiring more than twice to the first width of face of said source wiring lapping with the electric conduction film of said translucency, and arranging it.

[Claim 8] The semiconductor device characterized by there being electric conduction film which has said translucency piled up in contact with said drain electrode in claim 1 thru/or any 1 term of 7.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] The invention in this application relates to the semiconductor device which has the circuit which consisted of thin film transistors (henceforth TFT), and its production approach. For example, it is related with the electronic equipment which carried as components the semiconductor device and such a semiconductor device which are represented by the liquid crystal display panel.

[0002] In addition, a semiconductor device points out the equipment at large which may function by using a semi-conductor property into this specification, and all of a semiconductor device, a semiconductor circuit, and electronic equipment are semiconductor devices.

[0003]

[Description of the Prior Art] In recent years, the technique which constitutes a thin film transistor (TFT) using the semi-conductor thin film (number of thickness - about hundreds of nm) formed on the substrate which has an insulating front face attracts attention. A thin film transistor is widely applied to an electron device like IC or a semiconductor device, and development is hurried especially as a switching element of a liquid crystal display.

[0004] It roughly divides into a liquid crystal display, and two kinds of types, a active-matrix mold and a passive matrix mold, are known.

[0005] The liquid crystal display of a active-matrix mold uses TFT as a switching element, and can obtain a high-definition image. Although the personal computer of a note type is common as an application of a active-matrix mold, it is expected also as television for home use and a personal digital

assistant application.

[0006] However, compared with a passive matrix mold, a active-matrix mold has much mask number of sheets, and there are many routing counters. For this reason, in order to be flexible in the liquid crystal display of a active-matrix mold, reducing mask number of sheets and holding down cost and improvement in the yield are indispensable.

[0007] A line defect and a point defect will produce the component substrate of the liquid crystal display of a active-matrix mold with detailed dust. If a routing counter increases, the probability for a defect to occur will become high. The improvement in the yield has started how the routing counter by the side of a component substrate is stopped.

[0008] By the way, the liquid crystal display of a active-matrix mold will be able to do disclination of liquid crystal with the level difference by the Rhine reversal drive and the component. In order to obtain good black level, the light-shielding film which hides the optical leakage by disclination is required.

[0009] However, if patterning of the light-shielding film is carried out to the component substrate side of the liquid crystal display of a active-matrix mold, it will be necessary the process and mask for forming the light-shielding film itself not only to increase, but to prepare an interlayer insulation film between a light-shielding film and wiring, and to insulate. Cost goes up also by formation of an interlayer insulation film. Of course, the increment in a routing counter causes the fall of the yield.

[0010] If a light-shielding film is formed only in an opposite substrate, the increment in the routing counter by the side of a component substrate can be suppressed, and improvement in the yield can be aimed at. However, if a light-shielding film is formed only in an opposite substrate, depending on the alignment precision when sticking a substrate, hiding optical leakage may be unable to be finished by location gap of a light-shielding film, and good black level cannot be secured. As shown in drawing 23, the light-shielding film 701 formed in the opposite substrate will shift, and will be stuck by alignment gap with a component substrate, and the optical leakage 703 by disclination will be in sight. The optical leakage of near the edge of disclination will be in sight especially. For this reason, optical leakage is mixed with the black display 702, and black level worsens. If a protection-from-light field is increased in order to prevent the optical leakage by location gap of alignment, a numerical aperture will fall and brightness will be spoiled conversely.

[0011] That is, forming a light-shielding film in a component substrate side, in order to make a numerical aperture and contrast high and to secure good black level is a natural thing to draw through. However, in order to suppress the increment in the routing counter by the side of a component substrate and to perform this natural thing, it is necessary to arrange the circuit pattern of a pixel efficiently.

[0012]

[Problem(s) to be Solved by the Invention] The good black level of the liquid crystal display of a active-matrix mold is secured, and the completely new pixel configuration which is not in the former to hold down cost and produce is called for.

[0013] This invention makes it a technical problem to offer the liquid crystal display of the active-matrix mold which secures good black level, without making the number of masks and routing counter by the side of the component substrate by light-shielding film formation increase responding to such a demand.

[0014]

[Means for Solving the Problem] The following means were provided in order to solve the technical problem of the conventional technique mentioned above.

[0015] First, the component substrate was produced with six masks. The configuration of a component substrate is explained using drawing 19 and drawing 21. the plan of drawing 19 -- chain-line K-K -- ' -- the sectional view when cutting by chain-line L-L' is shown in drawing 21. In drawing 19 and drawing 21, the same sign shows the same element.

[0016] Patterning of the first semi-conductor layer 613 and the second semi-conductor layer 614 is carried out with one mask. Patterning of source wiring 601 and the gate electrode 600 is carried out with one mask. The first interlayer insulation film 615 and second interlayer insulation film 616 (not

shown in drawing 19) are formed. Patterning of the gate wiring 602, the connection electrode 603, the drain electrode 604, and the capacity connection electrode 605 is carried out with one mask so that it may touch on the second interlayer insulation film 616.

[0017] Furthermore, the transference pixel electrode 606 is formed so that the drain electrode 604 and the capacity connection electrode 605 may be overlapped. The transference pixel electrode 606 takes a margin so that it may not short-circuit with the gate wiring 602 and the connection electrode 603.

[0018] A color filter, overcoat material, and a transference pixel electrode were formed in the opposite substrate, cel **** of a component substrate and the opposite substrate was carried out, and the orientation of liquid crystal was seen. Orientation was observed from the rear face of a component substrate. Orientation is TN method and the mixed chiral material is counterclockwise twining. In order to analyze the field out of which the disclination of liquid crystal comes, there is no light-shielding film in an opposite substrate.

[0019] The gate line drive of the liquid crystal display of a direct viewing type is carried out. Gate lay length can make small the rate of the optical leakage by the disclination which the way of a gate line reversal drive occupies to a pixel compared with a source line reversal drive in a short pixel compared with source lay length. The disclination at this time is shown in drawing 19 -20.

[0020] In 1 pixel, the strong optical leakage 607-609 by disclination is looked at by the source wiring of the side by which rubbing is carried out to the point of the pixel of a component substrate. Since the sensibility of human being's eye sets green and is high, in green with high relative luminous efficiency, optical leakage is recognized strongly.

[0021] As shown in the sectional view of drawing 21 , the capacity connection electrode 605, the drain electrode 604, and the connection electrode 603 are formed in the bottom of the transference pixel electrode 606. Since flattening of the capacity connection electrode 605, the drain electrode 604, and the connection electrode 603 is not carried out by the insulator layer, the thickness of the electrode itself carries out induction of the level difference of a liquid crystal orientation side. Thereby, the feeble optical leakage 610-612 was seen around the level difference. Although such feeble optical leakage 610-612 does not pose a big problem in the liquid crystal display of a direct viewing type, in order to secure good black level, depending on the case, the optical leakage by the level difference also needs to shade with the liquid crystal display of a projection mold.

[0022] Although it is not so much conspicuous because optical leakage is shaded, the optical leakage by disclination can be performed along a gate line for a gate line reversal drive.

[0023] On the whole, the optical leakage by disclination was seen near the edge of the transference pixel electrode 606.

[0024] Then, based on the above analyses, the mask number of sheets of a component substrate produced the layout of the pixel which hides the optical leakage by disclination efficiently with six sheets. it should observe -- it is having formed the circuit pattern etc. and having hidden disclination in a component substrate with only two masks for the electric conduction film of protection-from-light nature.

[0025] Since a circuit pattern etc. is formed with two masks for the electric conduction film of protection-from-light nature which left, the field in which it can never finish hiding disclination will be made. However, if the parts of the field which can perform optical leakage strongly, and the edge of disclination can be certainly hidden in a component substrate, the light-shielding film of an opposite substrate will be small made compared with the protection-from-light pattern of a component substrate. Even if there are some location gaps when sticking a component substrate, disclination can be hidden together with the light-shielding film of an opposite substrate.

[0026] This invention is characterized by applying to the semiconductor device which has gate wiring and the capacity electrode which consist of electric conduction film which has the first protection-from-light nature, the source wiring and the drain electrode which consist of electric conduction film which has the second protection-from-light nature, and the electric conduction film which has the

translucency electrically connected to said drain electrode.

[0027] Carry out applying this invention to a semiconductor device [having the electric-conduction / having translucency / connecting with gate / that the one connects with a said island / consisting of an island / consisting of the electric-conduction / having protection-from-light nature / film / -like gate electrode and source wiring, and the electric-conduction / having 2 protection-from-light nature / film / -like gate electrode electric / wiring, a drain / consisting of the electric-conduction / having 2 / said / protection-from-light nature / film / electrode, and said drain electrode electric / film] as a description.

[0028] For example, it is characterized by hiding the optical leakage by the disclination made on the edge of the electric conduction film of translucency by having lapped with the edge of the electric conduction film which some capacity electrodes lap with source wiring and the gap of the electric conduction film which has translucency, and has source wiring and translucency, and having been arranged.

[0029] Moreover, the pattern of the shape of an island isolated electrically which consists of electric conduction film which has the electric conduction film or the second protection-from-light nature which has the first protection-from-light nature may be formed, and the optical leakage by disclination may be hidden.

[0030] Some drain electrodes may be arranged in piles on the edge of the electric conduction film which has translucency, and the edge of source wiring, and the optical leakage by the disclination made on the edge of the electric conduction film which has translucency may be hidden.

[0031] Since there is an inclination for the optical leakage by disclination to be conspicuous compared with other colors especially when a color filter is green, the area of a protection-from-light field may be changed according to the color of a color filter.

[0032] It may arrange in piles on the edge of the electric conduction film which laps with the gap of the electric conduction film which has translucency, and gate wiring in some island-like gate electrodes, and has translucency, and gate wiring, and the optical leakage by disclination may be hidden.

[0033] Some source wiring is made it is desirable and thick 2 to 4 or more times more than twice to other parts, and it is good also as a light-shielding film of the electric conduction film of translucency.

[0034] This invention can be widely used as a means to hide the disclination of not only TN method but liquid crystal. For example, in a R-TN method, the liquid crystal display using a smectic liquid crystal, and an IPS (In Plane Switching) method, the field where a display is discontinuous may be hidden and you may use as a means which makes the brightness in a pixel regularity.

[0035] This invention modulates an electrical potential difference or electric field by the semiconductor device, and in the electro-optic device which carries out the optical modulation of the modulated light layer, when the field where a display is discontinuous is in a pixel, it can use it widely as an approach of shading this field. For example, in case the switching element of EL indicating equipment is formed, it is possible to apply this invention.

[0036]

[Embodiment of the Invention] In [example 1] this example, the liquid crystal display of the transparency mold of a direct viewing type is produced. There are only two masks of the circuit pattern by the metal electrode. The optical leakage by disclination is hidden with two masks of a circuit pattern.

[0037] The optical leakage by disclination 803 appears in the edge of a pixel electrode like drawing 22 the side by which rubbing is previously carried out in the direction 801 of rubbing of a component substrate the side by which rubbing is previously carried out in the direction 802 of rubbing of an opposite substrate in one pixel 804. It considers as the layout which can hide the optical leakage by disclination. This example is explained using drawing 1 -2. Orientation is made into TN method and a drive is made as a source line reversal drive. The relation between the direction of rubbing and a protection-from-light field is shown in drawing 3 . chain-line A-A of the plan of drawing 1 -- ' -- what was cut by chain-line B-B' -- A-A of ****2 -- ' -- it corresponds to the cross section shown by

chain-line B-B'.

[0038] A component substrate includes the pixel section which has the pixel TFT near the intersection of the gate wiring 104 arranged at the line writing direction, the source wiring 108 arranged in the direction of a train, and gate wiring and source wiring, and the drive circuit which has the n channel mold TFT and the p channel mold TFT, as shown in drawing 1.

[0039] Patterning of the first semi-conductor layer 100 and the second semi-conductor layer 101 is carried out. The first semi-conductor layer 100 is a barrier layer of a TFT component. The second semi-conductor layer 101 functions as a capacity electrode of the retention volume mentioned later.

[0040] The capacity electrode 103 and the gate wiring 104 which served both as the light-shielding film 102 and the light-shielding film are formed so that gate dielectric film (not shown) may be touched. The capacity electrode 103 which served as the light-shielding film is short-circuited in the viewing area.

[0041] After forming the first interlayer insulation film and second interlayer insulation film (not shown), contact holes 105-107 are opened. Next, the drain electrode 109 and the protection-from-light electrode 110 which served both as source wiring 108 and a light-shielding film by patterning are formed.

[0042] By the contact hole 105, the first semi-conductor layer 100 and source wiring 108 connect electrically.

[0043] By the contact hole 106, the drain electrode 109 which served both as the first semi-conductor layer 100 and light-shielding film connects electrically.

[0044] By the contact hole 107, the drain electrode 109 which served both as the second semi-conductor layer 101 and light-shielding film connects electrically.

[0045] Furthermore, the transpance pixel electrode 111 is formed, without minding an insulator layer. It is made for the transpance pixel electrode 111 to overlap the protection-from-light electrode 110 and the drain electrode 109 which served both as the light-shielding film at this time.

[0046] The first semi-conductor layer 100 which is the barrier layer of a TFT component is protected from outdoor daylight with the drain electrode 109 which served both as the gate wiring 104, source wiring 108, and a light-shielding film by the above configuration, and the protection-from-light electrode 110.

[0047] By forming the protection-from-light electrode 110, the optical leakage by the barrier layer and the disclination made in near a barrier layer can be shaded.

[0048] The disclination of the liquid crystal made into the side by which rubbing is previously carried out among the four corners of the transpance pixel electrode 111 can be shaded with the drain electrode 109 which served as the light-shielding film.

[0049] Furthermore, when the drain electrode 109 and the protection-from-light electrode 110 which served as the light-shielding film which is directly under the transpance pixel electrode 111 are as thick as 0.5-0.75 micrometers or more, the orientation of liquid crystal may be in disorder with a level difference, and detailed optical leakage may arise. Such optical leakage can be shaded by the light-shielding film 102.

[0050] If a gate line reversal drive is carried out, the disclination which met the gate wiring 104 and source wiring 108 will come out by longitudinal direction electric field etc. Although this optical leakage influences visibility greatly, since the capacity electrode 103 which served as the light-shielding film is formed in the location which can do disclination, disclination can be hidden. A large area of retention volume can be taken with the capacity electrode 103 which served as the light-shielding film.

[0051] Let the capacity electrode 103 which served as the light-shielding film short-circuited by the second semi-conductor layer 101 and viewing area prepared for every pixel be an electrode about retention volume. The capacity electrode 103 becomes the drain electrode 109, the pixel electrode 111, and this potential by the contact hole 107. Gate dielectric film functions as an insulator layer of a capacity electrode.

[0052] In the protection-from-light electrode 115 in drawing 4 (A) of a sectional view, the transpance pixel electrode 116, the transpance pixel electrode 118 in drawing 4 (B), the semi-conductor layer 117,

and drawing 4 (C), a light-shielding film 123, the transparence pixel electrode 122, and the protection-from-light electrode 121 are the things of the adjoining pixel.

[0053] The configuration of the above pixel section is producible with five masks. The protection-from-light field 112 of the component substrate by the circuit pattern of drawing 1 is shown in drawing 3. Although there are fields 123-126 along which light passes in order to shade with only two masks of a circuit pattern, the edge of the field out of which disclination comes is hidden. If the light-shielding film of an opposite substrate is taken width, optical leakage can be hidden even if there are some location gaps. Moreover, since the light-shielding film of a component substrate is overlapped also for slight width in the light-shielding film of an opposite substrate, a numerical aperture does not fall by location gap of lamination.

[0054] If low-temperature polish recon is used for the barrier layer of a TFT component so that it may mention later, the drive circuit TFT and Pixel TFT are producible to one substrate. At this time, in order to produce the drive circuit of CMOS, the n channel mold TFT and the p channel mold TFT are required.

[0055] One more additional mask is required as a mask which dopes the impurity element which gives p mold depending on the making process of a component substrate. The number of masks required in order to form the component substrate which has the pixel section which still has the pixel structure shown in drawing 1, and a drive circuit can be made into six sheets.

[0056] Namely, the mask with which one sheet carries out patterning of the 1st semi-conductor layer 100 and the 2nd semi-conductor layer 101, The mask with which one sheet carries out patterning of the light-shielding film 102 to the gate wiring 104 and the capacity electrode 103 which served both as the light-shielding film, One sheet is a mask for the mask which carries out patterning of the mask with which one sheet forms a contact hole; the drain electrode 109 with which one sheet served both as a source wiring 108 and a light-shielding film, and the protection-from-light electrode 110, and one sheet to carry out patterning of the transparence pixel electrode 111, and a mask for doping.

[0057] The pixel section which has by this the drive circuit section which has the n channel mold TFT, the p channel mold TFT, and the n channel mold TFT, and a pixel TFT 114 and retention volume 113 can be formed on the same substrate. In this specification, such a substrate is called an active-matrix substrate for convenience.

[0058] As mentioned above, when it considers as the pixel structure shown in drawing 1, the liquid crystal display of the good transparency mold of contrast can be realized, without increasing the number of masks in a component substrate.

[0059] By [example 2] this example, TFT of the drive circuits (a signal-line drive circuit, scanning-line drive circuit, etc.) prepared around the pixel section is explained to be the pixel TFT which is the switching element of the pixel section according to a process about how to produce on the same substrate as an example of the creation approach at the time of applying an example 1 to an active matrix liquid crystal indicating equipment. However, in order to simplify explanation, in the drive circuit section, the CMOS circuit which is the basic component circuit will be illustrated at the pixel TFT of the pixel section by the cross section which met a certain path in the n channel mold TFT.

[0060] First, as shown in drawing 5 (A), the substrate film 401 which consists of insulator layers, such as silicon oxide film, a silicon nitride film, or an oxidation silicon nitride film, is formed on the substrate 400 which consists of glass, such as barium borosilicate glass represented by #7059 glass of Corning, Inc., #1737 glass, etc., or alumino borosilicate glass. For example, 10-200nm (preferably 50-100nm) formation of SiH₄, NH₃, and the oxidation silicon nitride film 401a produced from N₂O is carried out by the plasma-CVD method, and laminating formation of the oxidation nitriding hydrogenation silicon film 401b similarly produced from SiH₄ and N₂O is carried out at the thickness of 50-200nm (preferably 100-150nm). Although this example showed the substrate film 401 as two-layer structure, you may form as structure which carried out the laminating the monolayer of said insulator layer, or more than two-layer.

[0061] The island-like semi-conductor layers 402-406 are formed by the crystalline substance semi-conductor film which produced the semi-conductor film which has amorphous structure using the laser

crystallizing method or the well-known heat crystallizing method. The thickness of these island-like semi-conductor layers 402-406 is formed by the thickness of 25-80nm (preferably 30-60nm). Although there is no limitation in the ingredient of the crystalline substance semi-conductor film, it is good to form with silicon or a silicon germanium (SiGe) alloy preferably.

[0062] In order to produce the crystalline substance semi-conductor film by the laser crystallizing method, the excimer laser of a pulse oscillation mold or a continuation luminescence mold, and an YAG laser and YVO4 laser are used. When using such laser, it is good to use the approach of condensing to a line the laser light emitted from the laser oscillation machine by optical system, and irradiating the semi-conductor film. Although an operation person makes **** selection, the conditions of crystallization are made into the pulse oscillation frequency of 30Hz when using an excimer laser, and make a laser energy consistency 100 - 400 mJ/cm² (typically 200 - 300 mJ/cm²). Moreover, it is good to consider as the pulse oscillation frequency of 1-10kHz using the 2nd higher harmonic, in using an YAG laser, and to make a laser energy consistency into 300 - 600 mJ/cm² (typically 350 - 500 mJ/cm²). and width of face of 100-1000 micrometers, for example, the laser light which condensed to the line by 400 micrometers, -- the whole substrate surface -- crossing -- irradiating -- the line at this time -- the rate of superposition of laser light (rate of overlap) is performed as 80 - 98%.

[0063] Subsequently, wrap gate dielectric film 407 is formed for the island-like semi-conductor layers 402-406. Gate dielectric film 407 is formed using a plasma-CVD method or a spatter by the insulator layer which sets thickness to 40-150nm, and contains silicon. In this example, it forms with an oxidation silicon nitride film with a thickness of 120nm. Of course, gate dielectric film is not limited to such an oxidation silicon nitride film, and may use the insulator layer containing other silicon as a monolayer or a laminated structure. For example, when using the silicon oxide film, TEOS (Tetraethyl Orthosilicate) and O₂ can be mixed by the plasma-CVD method, and it can consider as the reaction pressure of 40Pa, and the substrate temperature of 300-400 degrees C, it can be made to be able to discharge by RF (13.56MHz) power flux density 0.5 - 0.8 W/cm², and can form. Thus, the silicon oxide film produced can acquire a property good as gate dielectric film by 400-500-degree C heat annealing after that.

[0064] And the 1st electric conduction film 408 for forming a gate electrode on gate dielectric film 407 and the 2nd electric conduction film 409 are formed. In this example, the 1st electric conduction film 408 is formed in the thickness of 50-100nm by Ta, and the 2nd electric conduction film 409 is formed in the thickness of 100-300nm by W.

[0065] Ta film is formed by the spatter and carries out the spatter of the target of Ta by Ar. In this case, if Xe and Kr of optimum dose are added to Ar, the internal stress of Ta film can be eased and exfoliation of the film can be prevented. Moreover, although the resistivity of Ta film of alpha phase is 20microomegacm extent and it can be used for a gate electrode, the resistivity of Ta film of a parent phase is unsuitable for being 180microomegacm extent and considering as a gate electrode. In order to form Ta film of alpha phase, if tantalum nitride with the crystal structure near alpha phase of Ta is formed in the substrate of Ta by the thickness of about 10-50nm, Ta film of alpha phase can be obtained easily.

[0066] In forming W film, it forms W by the spatter used as the target. In addition, it can also form with the heat CVD method using 6 tungsten fluoride (WF₆). Anyway, in order to use it as a gate electrode, it is necessary to attain low resistance-ization, and as for the resistivity of W film, it is desirable to make it 20 or less microomegacm. In W, although W film can attain low resistivity-ization by enlarging crystal grain, when there are many impurity elements, such as oxygen, crystallization is checked and forms it into high resistance. From this, when based on a spatter, resistivity 9 - 20microomegacm can be realized using W target of 99.9999% of purity by considering enough and forming W film so that there may be no mixing of the impurity out of a gaseous phase further at the time of membrane formation.

[0067] In addition, in this example, although Ta and the 2nd electric conduction film 409 were set to W for the 1st electric conduction film 408, the element chosen from Ta, W, Ti, Mo, aluminum, and Cu by each or said element may be formed with the alloy ingredient or compound ingredient used as a principal

component. Moreover, the semi-conductor film represented by the polycrystalline silicon film which doped impurity elements, such as Lynn , may be used. As combination other than this example, the 1st electric conduction film is formed by tantalum nitride (TaN), it combines and the 1st electric conduction film is formed by tantalum nitride (TaN), it combines, the 1st electric conduction film is formed by tantalum nitride (TaN), and there is combination for which the 2nd electric conduction film is set to W , for which the 2nd electric conduction film is set to aluminum and which sets the 2nd electric conduction film to Cu .

[0068] Next, 1st etching processing for forming the masks 410–417 by the resist, and forming an electrode and wiring is performed. In this example, it carries out by mixing CF_4 and Cl_2 in the gas for etching, supplying RF (13.56MHz) power of 500W to the electrode of a coil mold by the pressure of 1Pa using the ICP (Inductively Coupled Plasma: inductive-coupling mold plasma) etching method, and generating the plasma. RF (13.56MHz) power of 100W is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. When CF_4 and Cl_2 are mixed, W film and Ta film are etched to the same extent.

[0069] On the above-mentioned etching conditions, the edge of the 1st conductive layer and the 2nd conductive layer serves as a taper configuration whose include angle of the taper section is 15–45 degrees by having been suitable in the configuration of the mask by the resist according to the effectiveness of the bias voltage impressed to a substrate side. In order to etch without leaving residue on gate dielectric film, it is good to make etching time increase at about 10 – 20% of a rate. Since the selection ratios of an oxidization silicon nitride film to W film are 2–4 (typically 3), about 20–50nm of fields which the oxidization silicon nitride film exposed will be etched by over etching processing. In this way, the conductive layers 419–426 (the 1st conductive layers 419a–426a and 2nd conductive layer 419b–426b) of the 1st configuration which consists of the 1st conductive layer and 2nd conductive layer by 1st etching processing are formed. 418 is gate dielectric film and the field which about 20–50nm of fields which are not covered by the conductive layers 419–426 of the 1st configuration was etched, and became thin is formed.

[0070] And 1st doping processing is performed and the impurity element which gives n mold is added. (Drawing 5 (B)) What is necessary is just to perform the approach of doping with the ion doping method or ion-implantation. The conditions of the ion doping method make a dose $1 \times 10^{13} - 5 \times 10^{14}$ atoms/ cm^2 , and perform acceleration voltage as 60–100keV. the element which belongs to 15 groups as an impurity element which gives n mold -- typical -- Lynn -- although (P) or arsenic (As) is used -- here -- Lynn -- (P) is used. In this case, it becomes a mask to the impurity element with which conductive layers 419–423 give n mold, and the 1st impurity range 427–431 is formed in self align. In the 1st impurity range 427–431, the impurity element which gives n mold by the density range of $1 \times 10^{20} - 1 \times 10^{21}$ atomic/ cm^3 is added.

[0071] Next, as shown in drawing 5 (C), 2nd etching processing is performed. Similarly, using the ICP etching method, Cl_2 and O_2 are mixed with CF_4 to etching gas, RF power (13.56MHz) of 500W is supplied to the electrode of a coil mold by the pressure of 1Pa, and it carries out by generating the plasma. RF (13.56MHz) power of 50W is supplied to a substrate side (sample stage), and a low auto-bias electrical potential difference is impressed compared with the 1st etching processing. Anisotropic etching of the W film is carried out according to such conditions, and anisotropic etching of the Ta which is the 1st conductive layer is carried out with an etch rate later than it, and the conductive layers 433–440 (the 1st conductive layers 433a–440a and 2nd conductive layer 433b–440b) of the 2nd configuration are formed. 432 is gate dielectric film and the field which about further 20–50nm of fields which are not covered by the conductive layers 433–437 of the 2nd configuration was etched, and became thin is formed.

[0072] The etching reaction by the mixed gas of CF_4 and Cl_2 of W film or Ta film can be guessed from the vapor pressure of the radical or ion kind generated, and a resultant. If the vapor pressure of the fluoride of W and Ta and a chloride is compared, WF_6 which is the fluoride of W is extremely high, and

WCl₅, TaF₅, and TaCl₅ of others have it. [comparable] Therefore, W film and Ta film are etched in the mixed gas of CF₄ and Cl₂. However, if O₂ of optimum dose is added to this mixed gas, CF₄ and O₂ will react, it will be set to CO and F, and F radical or F ion will be generated so much. Consequently, the etch rate of W film with the high vapor pressure of a fluoride increases. On the other hand, even if, as for Ta, F increases, there are few increments in an etch rate relatively. Moreover, since Ta tends to oxidize as compared with W, the front face of Ta oxidizes by adding O₂. In order that the oxide of Ta may react neither with a fluorine nor chlorine, the etch rate of Ta film falls further. Therefore, it becomes possible to become possible to make a difference to the etch rate of W film and Ta film, and to make the etch rate of W film larger than Ta film.

[0073] And as shown in drawing 6 (A), 2nd doping processing is performed. In this case, the impurity element which lowers a dose and gives n mold as conditions for high acceleration voltage rather than the 1st doping processing is doped. For example, a new impurity range is formed inside the 1st impurity range which set acceleration voltage to 70–120keV, carried out with the dose of 1×10^{13} –/cm², and was formed in the island-like semi-conductor layer by drawing 5 (B). Doping uses the conductive layers 433–437 of the 2nd configuration as a mask to an impurity element, and it dopes them so that an impurity element may be added by the field of the 1st conductive layers [433]–437a bottom. In this way, the 2nd impurity range 446–450 between the 3rd impurity range 441–445 which laps with the 1st conductive layer 433a–437a, and the 1st impurity range and the 3rd impurity range is formed. It is made for the impurity element which gives n mold to serve as concentration of 1×10^{17} – 1×10^{19} atoms/cm³ in the 2nd impurity range, and is made to serve as concentration of 1×10^{16} – 1×10^{18} atoms/cm³ in the 3rd impurity range.

[0074] And as shown in drawing 6 (B), the 4th impurity range 454–456 of a conductivity type contrary to one conductivity type is formed in the island-like semi-conductor layer 403 which forms the p channel mold TFT. The conductive layer 434 of the 2nd configuration is used as a mask to an impurity element, and an impurity range is formed in self align. At this time, the island-like semi-conductor layers 402, 404, 405, and 406 which form the n channel mold TFT cover the whole surface with the resist masks 451–453. Although Lynn is added by impurity ranges 454–456 by concentration different, respectively, high impurity concentration is made to become 2×10^{20} – 2×10^{21} atoms/cm³ also in which the field by the ion doping method using diboron hexahydride (B–2 H₆).

[0075] An impurity range is formed in each island-like semi-conductor layer of the above process. The conductive layers 433–436 which lap with an island-like semi-conductor layer function as a gate electrode of TFT. Moreover, in 439, a signal line and 440 function and, in the scanning line and 437, capacity wiring and 438 function as wiring in a drive circuit.

[0076] In this way, as shown in drawing 6 (C) for the purpose of control of a conductivity type, the process which activates the impurity element added by each island-like semi-conductor layer is performed. This process is performed by the heat annealing method for using a furnace annealing furnace. In addition, the laser annealing method or the rapid thermal annealing method (RTA law) is applicable. By the heat annealing method, an oxygen density performs 400–700 degrees C at 500–600 degrees C typically in nitrogen-gas-atmosphere mind 0.1 ppm or less preferably, and performs 1 ppm or less of heat treatments of 4 hours at 500 degrees C at this example. However, when the wiring material used for 433–440 is weak with heat, it is desirable to be activated after forming an interlayer insulation film (let silicon be a principal component), in order to protect wiring etc.

[0077] Furthermore, in the ambient atmosphere containing 3 – 100% of hydrogen, heat treatment of 1 – 12 hours is performed at 300–450 degrees C, and the process which hydrogenates an island-like semi-conductor layer is performed. This process is a process which carries out termination of the dangling bond of a semi-conductor layer by the hydrogen excited thermally. As other means of hydrogenation, plasma hydrogenation (the hydrogen excited by the plasma is used) may be performed.

[0078] Subsequently, the 1st interlayer insulation film 457 is formed by the thickness of 100–200nm from an oxidation silicon nitride film. The 2nd interlayer insulation film 458 which consists of an organic

insulating material ingredient on it is formed. Subsequently, the etching process for forming a contact hole is performed.

[0079] And in the drive circuit section, the drain wiring 462-464 which forms the source field of an island-like semi-conductor layer, the source wiring 459-461 and the drain field which form contact, and contact is formed. Moreover, in the pixel section, 468 is formed as source wiring 465 and the drain electrodes 466-467 which served both as the light-shielding film. The drain electrode 468 which served as the light-shielding film is formed in the adjoining pixel (drawing 7). In drawing 7 , the same element as drawing 1 shows the figure [/ in a parenthesis]. chain-line A-A of drawing 7 -- ' -- B-B' -- chain-line A-A of the cutting plane line of the plan of drawing 1 -- ' -- it corresponds with B-B'.

[0080] The island-like semi-conductor layer 431 in which the drain electrode 467 which served as the light-shielding film in the island-like semi-conductor layer 467 in which the drain electrode 466 which served as the light-shielding film is equivalent to the barrier layer of Pixel TFT forms retention volume 505, and electric connection are formed. In addition, the drain electrode 468 which served as the light-shielding film is the thing of an adjacent pixel.

[0081] Then, the transperence electric conduction film is formed in the whole surface, and the transperence pixel electrodes 469-471 are formed by the patterning processing and etching processing using a photo mask. The transperence pixel electrode 470 is formed so that it may lap with the drain electrode 466 which served as the light-shielding film. Moreover, the part which laps with the drain electrode 467 which served as the light-shielding film of a pixel TFT504 is prepared, and potential is given to the island-like semi-conductor film 406 which functions as an electrode of retention volume 505.

[0082] Indium oxide (In 2O3), an indium oxide:tin-oxide alloy (In2O3-SnO2;ITO film), etc. can be formed and used for the ingredient of the transperence electric conduction film using a spatter, a vacuum deposition method, etc. The solution of a hydrochloric-acid system performs etching processing of such an ingredient. However, since residue tends to generate especially etching of the ITO film, in order to improve etching workability, an indium oxide:zinc-oxide alloy (In2O3-ZnO) may be used. Since an indium oxide:zinc-oxide alloy is excellent in surface smooth nature and excellent also in thermal stability to the ITO film, even if it uses aluminum for the drain electrodes 466-468 which served as the capacity electrode, it can prevent a corrosion reaction with aluminum which contacts on a front face. Similarly, it is the ingredient which the zinc oxide (ZnO) also fitted, and in order to raise the permeability and conductivity of the light further, the zinc oxide (ZnO:Ga) which added the gallium (Ga) can be used.

[0083] The pixel section which has the drive circuit section which has the n channel mold TFT501, the p channel mold TFT502, and the n channel mold TFT503 as mentioned above, and a pixel TFT504 and retention volume 505 can be formed on the same substrate. In this specification, such a substrate is called a active-matrix substrate for convenience.

[0084] The n channel mold TFT501 of the drive circuit section has the 1st impurity range 427 which functions as the channel formation field 468, the 3rd impurity range 441 (GOLD field) which laps with the conductive layer 433 which forms a gate electrode, the 2nd impurity range 446 (LDD field) formed in the outside of a gate electrode, a source field, or a drain field. It has the 4th impurity range 454 which functions on the p channel mold TFT502 as the channel formation field 469, the 4th impurity range 456 which laps with the conductive layer 434 which forms a gate electrode, the 4th impurity range 455 formed in the outside of a gate electrode, a source field, or a drain field. It has the 1st impurity range 429 which functions on the n channel mold TFT503 as the channel formation field 470, the 3rd impurity range 443 (GOLD field) which laps with the conductive layer 435 which forms a gate electrode, the 2nd impurity range 448 (LDD field) formed in the outside of a gate electrode, a source field, or a drain field.

[0085] In the pixel TFT504 of the pixel section, it has the 1st impurity range 430 which functions as the channel formation field 471, the 3rd impurity range 444 (GOLD field) which laps with the conductive layer 436 which forms a gate electrode, the 2nd impurity range 449 (LDD field) formed in the outside of a gate electrode, a source field, or a drain field. Moreover, the impurity element which gives n mold,

respectively is added by the same concentration as the 2nd impurity range by the same concentration as the 3rd impurity range with the same concentration as the 1st impurity range by the semi-conductor layer 431 which functions as one electrode of retention volume 505 in the semi-conductor layer 450 at the semi-conductor layer 445, and retention volume is formed by the capacity wiring 437 and the insulating layer (the same layer as gate dielectric film) in the meantime.

[0086] Without using a black matrix, this example is arranged so that the clearance between pixel inter-electrode can be shaded, and the edge of a pixel electrode may be lapped with the capacity electrode which served both as the gate line or the light-shielding film. Furthermore in contact with a pixel electrode, the electrode of protection-from-light nature is formed.

[0087] Moreover, if the process shown by this example is followed, the number of photo masks required for production of a active-matrix substrate can be made into six sheets (an island-like semi-conductor layer pattern, the 1st circuit pattern (a source line, gate wiring, the capacity electrode that served both as the light-shielding film, light-shielding film), the 2nd circuit pattern (source wiring, a drain electrode, light-shielding film), a contact hole pattern, a transparency pixel electrode pattern, mask pattern of an n channel field). Consequently, a process can be shortened and it can contribute to reduction of a manufacturing cost, and improvement in the yield.

[0088] [Example 3] this example explains below the process which produces an active matrix liquid crystal display from the active-matrix substrate produced in the example 2. Drawing 8 is used for the explanation. chain-line A-A of drawing 8 -- ' -- chain-line B-B' -- the plan of drawing 1 -- chain-line A-A -- ' -- the cross section cut by chain-line B-B' is supported.

[0089] First, after obtaining the active-matrix substrate of the condition of drawing 7 according to an example 2, a spacer 515 is formed with a photopolymer on the active-matrix substrate of drawing 8.

[0090] Although what is necessary is just to determine arrangement of a spacer as arbitration, it is good to arrange to an opposite substrate so that a location may suit on the drain electrode (466) which served as the light-shielding film as drawing 8 showed, for example. Moreover, the location may be doubled on TFT of the drive circuit section, and a spacer may be arranged on an opposite substrate. It may go across this spacer all over the drive circuit section, and it may be arranged, and as source wiring and drain wiring are covered, it may arrange them.

[0091] After spacer 515 formation, the orientation film 506 is formed and rubbing processing is performed.

[0092] On the other hand, the opposite substrate 507 is prepared. A light-shielding film is formed in the opposite substrate 507. Since it is necessary to shade the light transmission fields 123-126 of drawing 2 at least when the substrate of drawing 1 -2 of an example 1 is used, a light-shielding film is formed 1-1.5-micrometer width to the protection-from-light fields 123-126.

[0093] Furthermore, the color filter layers 508 and 509 and the overcoat layer 510 are formed. The two color is illustrated among color filter layers in three primary colors. The color filter layer of each color is what mixed the pigment to acrylic resin, and is formed by the thickness of 1-3 micrometers. This can be formed in a predetermined pattern using a mask using a photosensitive ingredient. The overcoat layer 510 is formed with the organic resin ingredient of a photo-curing mold or a heat-curing mold, for example, uses polyimide, acrylic resin, etc.

[0094] Rubbing processing is performed after forming a counterelectrode 512 by patterning after forming the overcoat layer 510, and forming the orientation film 513.

[0095] And the active-matrix substrate and opposite substrate with which the pixel section and the drive circuit section were formed are stuck by the sealing compound 513. The orientation of liquid crystal serves as TN method by sticking so that the direction of rubbing of a active-matrix substrate and an opposite substrate may intersect perpendicularly mutually. The filler is mixed in the sealing compound 513 and two substrates are stuck on it with uniform spacing by this filler and spacer 515. Then, liquid crystal 514 is poured in among both substrates, and it closes completely with encapsulant (not shown). What is necessary is just to use a well-known liquid crystal ingredient for liquid crystal 514.

Thus, the active matrix liquid crystal display shown in drawing 8 is completed.

[0096] In addition, although TFT created by the above-mentioned stroke is top gate structure, this invention may be applied also to TFT of bottom gate structure, or TFT of other structures.

[0097] Moreover, this invention may be applied also to EL display which is a spontaneous light type image display device which used the electroluminescence (EL:Electro Luminescence) ingredient instead of the liquid crystal ingredient.

[0098] An example of [example 4] this invention is explained using the plan of the pixel TFT of drawing 9. Since the transparency pixel electrode 316 can be made to overlap above source wiring 302 compared with the layout of the pixel section of an example 1, a numerical aperture is made highly.

[0099] An example 4 is the liquid crystal display of the transparency mold of a direct viewing type. Red and a blue and green color filter are formed. In the pixel in which the green color filter with high relative luminous efficiency was formed, the optical leakage by disclination will be in sight clearly compared with red and a blue pixel. For this reason, the area of a protection-from-light field is changed according to the relative luminous efficiency of a pixel.

[0100] In the example 1, since the capacity electrode was used as the light-shielding film, area of a protection-from-light field had to be made the same in each pixel. In an example 4, since the drain electrode which touches a transparency pixel electrode directly is used as a light-shielding film, according to the foreground color of a pixel, the area of a protection-from-light field is changeable.

[0101] It considers as the layout which hides disclination efficiently with only two masks of the circuit pattern of a metal membrane like an example 1.

[0102] In order to acquire the angle-of-visibility property of bilateral symmetry, let the direction of rubbing be the include angle of 45 degrees to one side of a substrate. Orientation is TN method. A protection-from-light field is set up from the relation between the direction of rubbing; and disclination. The relation between the direction of rubbing and a protection-from-light field is shown in drawing 10.

[0103] A component substrate includes the pixel section which has the pixel TFT near the intersection of the gate wiring 311 arranged at the line writing direction, the source wiring 302 arranged in the direction of a train, and gate wiring and source wiring, and the drive circuit which has the n-channel mold TFT and the p channel mold TFT, as shown in drawing 9.

[0104] However, gate wiring in drawing 9 has pointed out the thing linked to the gate electrode 303 arranged at the line writing direction. Moreover, the gate wiring 311 is formed in contact with a second interlayer insulation film top.

[0105] Patterning of the first semi-conductor layer 300 and the second semi-conductor layer 301 is carried out. The first semi-conductor layer 300 is a barrier layer of a TFT component. The second semi-conductor layer 301 functions as a capacity electrode of the retention volume mentioned later.

[0106] Source wiring 302 and the gate electrode 303 are formed so that gate dielectric film (not shown) may be touched.

[0107] contact hole 304- which reaches the first semi-conductor layer 300, the second semi-conductor layer 301, and source wiring 302 after forming the first interlayer insulation film and second interlayer insulation film (not shown) -- 308 and 317 are opened. Next, by patterning, the connection electrode 309, the drain electrode 310, the gate wiring 311, the capacity connection electrode 312, the drain electrodes 313-314 that served both as the light-shielding film, and the light-shielding film 315 of the pixel of a blue display are formed.

[0108] By the contact hole 304 and the contact hole 305, the first semi-conductor layer 300 and source wiring 302 connect electrically through the connection electrode 309.

[0109] By the contact hole 306, the drain electrodes 313-314 which served both as the first semi-conductor layer 300 and light-shielding film connect electrically. A contact hole 317 and the drain electrodes 313-314 connect electrically.

[0110] By the contact hole 307, the second semi-conductor layer 301 and capacity connection electrode 312 connect electrically.

[0111] By the contact hole 308, the gate wiring 311 connects with the gate electrode 303 electrically.

[0112] Furthermore, without minding an insulator layer, the transparence pixel electrode 316 is formed so that the drain electrode 310, capacity ***** 312, the drain electrodes 313-314 that served both as the light-shielding film, and the light-shielding film 315 of the pixel of a blue display may be overlapped.

[0113] Thereby, the capacity connection electrode 312 is connected as electrically as the transparence pixel electrode 315, and potential is given to the second semi-conductor layer 301 which functions as an electrode of retention volume. Retention volume is made by the semi-conductor layer 301 of the shape of the gate electrode 303 and an island. Gate dielectric film functions as an insulator layer of retention volume.

[0114] The first semi-conductor layer 300 which is the barrier layer of a TFT component is protected from outdoor daylight with the gate wiring 311, the connection electrode 309, the drain electrode 310, and the drain electrodes 313-314 that served both as the light-shielding film. Degradation of the component by light and fluctuation of the potential by the photocurrent can be prevented.

[0115] The drain electrode 310 and the drain electrodes 313-314 which served both as the light-shielding film sandwich the first interlayer insulation film and second interlayer insulation film in between, and are formed above source wiring 302. The disclination made to the side by which rubbing is carried

out to the point of a component substrate by this can be hidden.

[0116] Furthermore, the area of the drain electrodes 313-314 which served as the light-shielding film according to the foreground color of each pixel in this example is changed.

[0117] When green (wavelength of 555nm) relative luminous efficiency is set to 1, the relative luminous efficiency of 0.11 and blue (wavelength of 450nm) of red (wavelength of 650nm) relative luminous efficiency is 0.04. Single wavelength compares and it receives blue, and red is seen by about 3-times and green sees by one about 25 times the brightness of this. The wavelength dependency of relative luminous efficiency is shown in drawing 2424.

[0118] That is, since optical leakage tends to be conspicuous about the pixel which displays green with high relative luminous efficiency, priority is given to contrast, and area of the drain electrode 313 which served as the light-shielding film is made large so that disclination can be shaded certainly. About the pixel which displays red, the protection-from-light electrode 314 which served as the light-shielding film is formed by narrow width of face. Since priority is given to brightness about blue, only a part forms the light-shielding film 315 of the pixel of a blue display.

[0119] Although the area of the protection-from-light electrode of each color was determined only in consideration of relative luminous efficiency in this example, the area of a protection-from-light electrode may be decided in consideration of both relative luminous efficiency and the permeability of a color filter. The area of a protection-from-light electrode may be decided in consideration of both wavelength distribution of relative luminous efficiency and the light source.

[0120] The layout of the above pixel, the optical leakage by the disclination of liquid crystal can be efficiently hidden with only two masks of a circuit pattern.

[0121] The protection-from-light field 318 of a component substrate is shown in drawing 10. In order to shade with only two masks of a circuit pattern, there is a field along which light passes, but optical leakage can be hidden even if the alignment of the light-shielding film of an opposite substrate shifts somewhat, since the edge of the field out of which disclination comes is hidden. Moreover, since the area of a protection-from-light field is small, even if alignment shifts the light-shielding film of an opposite substrate [for slight width / the protection-from-light field of a component substrate], as for overlap and a numerical aperture, the protection-from-light field of an opposite substrate does not fall to the protection-from-light field of a component substrate.

[0122] In order to make it not conspicuous [the optical leakage by disclination] and to make it not spoil brightness, according to relative luminous efficiency, the numerical aperture of the pixel 328 of a red display, the numerical aperture of the pixel 329 of a green display, and the numerical aperture of the

pixel 330 of a blue display change.

[0123] The sectional view of the component substrate of drawing 9 is shown in drawing 11. chain-line E-E of drawing 11 (A) -- ' -- chain-line F-F' and chain-line G-G -- ' -- drawing 9 -- chain-line E-E -- ' -- chain-line F-F' and chain-line G-G -- ' -- what was cut is shown. Drawing 11 adds and produces the following processes to the substrate shown by drawing 6 (C) of an example 2. Drawing 11 (A) explains.

[0124] First, the 1st interlayer insulation film 323 is formed by the thickness of 100–200nm with an oxidation silicon nitride film. The 2nd interlayer insulation film 324 which consists of an organic insulating material ingredient on it is formed. Subsequently, the etching process for forming a contact hole is performed.

[0125] And in the drive circuit section, the drain wiring 331–333 which forms the source field of an island-like semi-conductor layer, the source wiring 328–330 and the drain field which form contact, and contact is formed.

[0126] Moreover, in the pixel section, the connection electrode 309, the drain electrode 310, the gate wiring 311, the capacity connection electrode 312, and the drain electrodes 313–314 that served both as the light-shielding film are formed. 0.3 micrometers – 0.75 micrometers of thickness are desirable.

[0127] The connection electrode 309 is electrically connected with source wiring 302 and the first semi-conductor layer 300. Although not illustrated, the gate wiring 311 is electrically connected with the gate electrode 303 by the contact hole. The capacity connection electrode 312 is electrically connected with the second semi-conductor layer 301.

[0128] Then, the transference electric conduction film is formed in the whole surface, and the transference pixel electrode 316 is formed by the patterning processing and etching processing using a photo mask. 100nm – 1400nm of thickness is desirable. The transference pixel electrode 316 is formed so that it may lap with the drain electrode 310 of a pixel TFT321. Potential is given to the island-like semi-conductor film 301 which functions as an electrode of retention volume 322 with the transference pixel electrode 316.

[0129] Indium oxide (In_2O_3), an indium oxide tin oxide alloy ($\text{In}_2\text{O}_3\text{-SnO}_2$:ITO film), etc. can be formed and used for the ingredient of the transference electric conduction film using a sputter, a vacuum evaporation method, etc. The solution of a hydrochloric acid system performs etching processing of such an ingredient. However, since residue tends to generate especially etching of the ITO film, in order to improve etching workability, an indium oxide zinc oxide alloy ($\text{In}_2\text{O}_3\text{-ZnO}$) may be used. Since an indium oxide zinc oxide alloy is excellent in surface smooth nature and excellent also in thermal stability to the ITO film, even if it uses aluminum for the drain electrode 316, it can prevent a corrosion reaction with aluminum which contacts on a front face. Similarly, it is the ingredient which the zinc oxide (ZnO) also fitted, and in order to raise the permeability and conductivity of the light further, the zinc oxide (ZnO:Ga) which added the gallium (Ga) can be used.

[0130] Moreover, when drawing 11 (B) explains, in this example, the point of changing the area of the drain electrodes 313–314 which served as the light-shielding film according to the foreground color of a pixel is the description. In order to hide the optical leakage by the disclination made in the 325 to source wiring 327 neighborhood, the drain electrode 313 with the high relative luminous efficiency of a foreground color which set green and served as the light-shielding film of a large area is used. The drain electrode 314 with which the relative luminous efficiency of a foreground color compared green, and served as the light-shielding film of a little narrow area in low red is used. In the pixel of a blue display, priority is given to a numerical aperture and a light-shielding film is formed only in the part optical leakage is strongly recognized to be.

[0131] The pixel section which has the drive circuit section which has the n channel mold TFT, the p channel mold TFT, and the n channel mold TFT as mentioned above, and a pixel TFT321 and retention volume 322 can be formed on the same substrate. In this specification, such a substrate is called a active-matrix substrate for convenience.

[0132] If low-temperature polish recon is used for the barrier layer of a TFT component, the drive circuit TFT and Pixel TFT are producible to one substrate. At this time, in order to produce the drive circuit of CMOS, the n channel mold TFT and the p channel mold TFT are required.

[0133] According to the making process of the component substrate of an example 2 and this example, the number of masks required in order to form the component substrate which has the pixel section which has the pixel structure shown in drawing 9 -11, and a drive circuit is good at six sheets.

[0134] Namely, the mask with which the 1st sheet carries out patterning of the 1st semi-conductor layer 300 and the 2nd semi-conductor layer 301, The mask with which the 2nd sheet carries out patterning of source wiring 302 and the gate electrode 303, The doping mask of the impurity with which the 3rd sheet gives p mold, the mask which forms the contact hole where the 4th sheet reaches the 1st semi-conductor layer 300, the 2nd semi-conductor layer 301, source wiring 302, and the gate electrode 303, respectively, The connection electrode 309, the drain electrode 310, the gate wiring 311, the capacity connection electrode 312, the drain electrodes 313-314 that served both as the light-shielding film, the mask which carries out patterning of the light-shielding film 315, and the 6th sheet of the 5th sheet are the masks for carrying out patterning of the transparence pixel electrode 316.

[0135] As mentioned above, the liquid crystal display of the good transparency mold of contrast can be realized, without making the number of masks of a component substrate increase, when it considers as the pixel structure shown in drawing 9 -11, in order to form a light-shielding film. Since what is necessary is just to form a light-shielding film in an opposite substrate auxiliary, the optical leakage by location gap of lamination and the decline in a numerical aperture do not take place so much.

[0136] Furthermore, since it can form compared with an example 1 so that source wiring may be overlapped in a pixel electrode, a numerical aperture is made highly. And since a protection-from-light field is determined according to the relative luminous efficiency of a foreground color, decline in a numerical aperture is suppressed and contrast can be secured.

[0137] The [example 5] example 5 shows another gestalt of this invention. The example which applied this invention is shown in the liquid crystal display of the transparency mold of a projection mold.

[0138] Like an example 4, since a transparence pixel electrode overlaps source wiring, compared with an example 1, a numerical aperture becomes high.

[0139] In order to make easy optical-axis doubling of the optical system of the equipment of a projection mold, let the direction of rubbing be the include angle of 45 degrees to one side of a substrate. For this reason, the protection-from-light field was set up according to the disclination which comes out when rubbing is carried out in the direction of 45 degree.

[0140] A component substrate includes the pixel section which has the pixel TFT near the intersection of the gate wiring 211 arranged at the line writing direction, the source wiring 202 which served as the light-shielding film arranged in the direction of a train, and gate wiring and source wiring, and the drive circuit which has the n channel mold TFT and the p channel mold TFT, as shown in drawing 12 and drawing 13.

[0141] However, gate wiring in drawing 12 and drawing 13 has pointed out the thing linked to the gate electrode 203 which served as the light-shielding film arranged at the line writing direction. Moreover, gate wiring is prepared in contact with a second interlayer insulation film top.

[0142] Patterning of the first semi-conductor layer 200 and the second semi-conductor layer 201 is carried out. The first semi-conductor layer 200 is a barrier layer of a TFT component. The second semi-conductor layer 201 functions as a capacity electrode of the retention volume mentioned later.

[0143] The source wiring 202 which served as the light-shielding film, and the gate electrode 203 which served both as the light-shielding film are formed so that gate dielectric film (not shown) may be touched. The disclination of liquid crystal tends to come out to the side by which rubbing is carried out to the point of a component substrate near the edge of the transparence pixel electrode 214 mentioned later, and among the four corners of the transparence pixel electrode 214 strongly. For this reason, it is made the configuration which the source wiring 202 which served as the light-shielding-film, and the

gate electrode 203 which served both as the light-shielding film cover the edge of a transparence pixel electrode, and can shade a cone location by that of disclination among the four corners of a transparence pixel electrode.

[0144] After forming the first interlayer insulation film and second interlayer insulation film (not shown), contact holes 204-208 are opened and the connection electrode 209, the drain electrode 210, the gate wiring 211, the capacity connection electrode 212, and the protection-from-light electrode 213 are formed.

[0145] By the contact hole 204 and the contact hole 205, the first semi-conductor layer 200 and source wiring 202 connect electrically through the connection electrode 209.

[0146] By the contact hole 206, the first semi-conductor layer 200 and drain electrode 210 connect electrically.

[0147] By the contact hole 207, the second semi-conductor layer 201 and capacity connection electrode 212 connect electrically.

[0148] By the contact hole 208, the gate wiring 211 connects with the gate electrode 203 which served as the light-shielding film electrically.

[0149] Furthermore, without minding an insulator layer, the transparence pixel electrode 214 is formed so that the protection-from-light electrode 213, the capacity connection electrode 212, and the drain electrode 210 may be overlapped.

[0150] Thereby, the capacity connection electrode 212 is connected as electrically as the transparence pixel electrode 214, and potential is given to the second semi-conductor layer 201 which functions as an electrode of retention volume. Retention volume is made by the semi-conductor layer 201 of the gate electrode 203 and the second ** which served as the light-shielding film. Gate dielectric film functions as an insulator layer of retention volume.

[0151] The first semi-conductor layer 200 which is the barrier layer of a TFT component is protected from outdoor daylight with the gate wiring 211, the connection electrode 209, and the drain electrode 210. Degradation of the component by light and fluctuation of the potential by the photocurrent can be prevented.

[0152] The description can be given to the configuration of the source wiring 202 which served as the light-shielding film, and the gate electrode 203 which served both as the light-shielding film and the optical leakage which comes out strongly by the side by which rubbing is previously carried out among the four corners of the transparence pixel electrode 214 can be hidden certainly. The disclination which influences visibility greatly is hidden. That is, in addition to the wiring configuration extended in the direction of a train, source wiring 202 which served as the light-shielding film is made into the projection configuration of 3 corniform, and the location out of which disclination comes is shaded. Moreover, some gate electrodes 203 which served as the light-shielding film are made into 3 corniform, and disclination is shaded. Moreover, some gate electrodes 203 which served as the light-shielding film are formed in the gate wiring 211 and the gap of the transparence pixel electrode 214, and the optical leakage by disclination is shaded.

[0153] Since source wiring 202 and the gate electrode 203 are formed in the same layer, they have the gap which prevents short-circuit. This gap is a field out of which disclination comes strongly by source line reversal drive. For this reason, the protection-from-light electrode 213 is formed through an insulator layer.

[0154] The layout of the above pixel, the optical leakage by the disclination of liquid crystal can be efficiently hidden with only two masks of a circuit pattern.

[0155] The protection-from-light field 215 of the component substrate of drawing 12 is shown in drawing 14 . In order to shade with only two masks of a circuit pattern, there is a field along which light passes, but optical leakage can be hidden even if the alignment of the light-shielding film of an opposite substrate shifts somewhat, since the edge of the field out of which disclination comes is hidden. Moreover, since the protection-from-light field of an opposite substrate exists inside the protection-

from-light field of a component substrate also for slight width, even if alignment shifts the light-shielding film of an opposite substrate, the protection-from-light field of an opposite substrate can prevent decline in overlap and a numerical aperture to the protection-from-light field of a component substrate. [0156] The sectional view of drawing 12 and the component substrate of drawing 13 is shown in drawing 1515. chain-line H-H of drawing 15 -- ' -- chain-line I-I' and chain-line J-J' -- drawing 12 and drawing 13 -- chain-line H-H -- ' -- what was cut by chain-line I-I' and chain-line J-J' is shown. Drawing 15 adds and produces the following processes to the substrate shown by drawing 6 (C) of an example 2. Drawing 15 (A) explains.

[0157] First, the 1st interlayer insulation film 215 is formed by the thickness of 100-200nm with an oxidation silicon nitride film. The 2nd interlayer insulation film 216 which consists of an organic insulating material ingredient on it is formed. Subsequently, the etching process for forming a contact hole is performed.

[0158] And in the drive circuit section, the drain wiring 220-222 which forms the source field of an island-like semi-conductor layer, the source wiring 217-219 and the drain field which form contact, and contact is formed.

[0159] Moreover, in the pixel section, the connection electrode 209, the drain electrode 210, the gate wiring 211, and the capacity connection electrode 212 are formed. 0.3 micrometers - 0.75 micrometers of thickness are desirable.

[0160] The connection electrode 209 is electrically connected with the source wiring 202 and the first semi-conductor layer 200 which served as the light-shielding film. Although not illustrated, the gate wiring 211 is electrically connected by the gate electrode 203 and contact hole which served as the light-shielding film. The capacity connection electrode 212 is electrically connected with the second semi-conductor layer 201.

[0161] Then, the transparence electric conduction film is formed in the whole surface, and the transparence pixel electrode 214 is formed by the patterning processing and etching processing using a photo mask. 100nm - 1400nm of thickness is desirable. The transparence pixel electrode 214 is formed also so that it may lap with the drain electrode 210 of a pixel TFT222. Moreover, potential is given to the island-like semi-conductor film 201 which functions as an electrode of retention volume 223.

[0162] Indium oxide (In_2O_3), an indium oxide tin-oxide alloy ($\text{In}_2\text{O}_3\text{-SnO}_2$; ITO film), etc. can be formed and used for the ingredient of the transparence electric conduction film using a spatter, a vacuum deposition method, etc. The solution of a hydrochloric-acid system performs etching processing of such an ingredient. However, since residue tends to generate especially etching of the ITO film, in order to improve etching workability, an indium oxide zinc-oxide alloy ($\text{In}_2\text{O}_3\text{-ZnO}$) may be used. Since an indium oxide zinc-oxide alloy is excellent in surface smooth nature and excellent also in thermal stability to the ITO film, even if it uses aluminum for the drain electrode 210, it can prevent a corrosion reaction with aluminum which contacts on a front face. Similarly, it is the ingredient which the zinc oxide (ZnO) also fitted, and in order to raise the permeability and conductivity of the light further, the zinc oxide (ZnO:Ga) which added the gallium (Ga) can be used.

[0163] Moreover, if drawing 15 (B) explains, in this example, the gate electrode 203 is formed in the gap of the gate wiring 211 and the transparence pixel electrode 214, and it is considering as the film which shades optical leakage according the gate electrode 203 to disclination. The first interlayer insulation film 215 and second interlayer insulation film 216 are between the transparence pixel electrode 214 and the gate electrode 203.

[0164] The pixel section which has the drive circuit section which has the n channel mold TFT, the p channel mold TFT, and the n channel mold TFT as mentioned above, and a pixel TFT222 and retention volume 223 can be formed on the same substrate. In this specification, such a substrate is called a active-matrix substrate for convenience.

[0165] If low-temperature polish recon is used for the barrier layer of a TFT component, the drive circuit TFT and Pixel TFT are producible to one substrate. At this time, in order to produce the drive

circuit of CMOS, the n channel mold TFT and the p channel mold TFT are required.

[0166] According to the making process of the component substrate of an example 2 and this example, the number of masks required in order to form the component substrate which has the pixel section which has the pixel structure shown in drawing 12 -15, and a drive circuit is good at six sheets. Furthermore, since it can form compared with an example 1 so that source wiring may be overlapped in a pixel electrode, a numerical aperture is made highly.

[0167] Namely, the mask with which the 1st sheet carries out patterning of the 1st semi-conductor layer 200 and the 2nd semi-conductor layer 201, The mask which carries out patterning of the gate electrode 203 with which the 2nd sheet served both as the source wiring 202 which served as the light-shielding film, and a light-shielding film, The doping mask of the impurity with which the 3rd sheet gives p mold, the mask with which the 4th sheet forms a contact hole, The mask with which the 5th sheet carries out patterning of the connection electrode 209, the drain electrode 210, the gate wiring 211, the capacity connection electrode 212, and the protection-from-light electrode 213, and the 6th sheet are the masks for carrying out patterning of the transparence pixel electrode 214.

[0168] As mentioned above, the liquid crystal display of the good transparency mold of contrast can be realized, without making the number of masks of a component substrate increase, when it considers as the pixel structure shown in drawing 12 -15, in order to form a light-shielding film. Since what is necessary is just to form a light-shielding film in an opposite substrate auxiliary, the optical leakage by location gap of lamination and decline in a numerical aperture can be prevented.

[0169] [Example 6] this example shows other production approaches of the crystalline substance semi-conductor layer which forms the semi-conductor layer of TFT of the active-matrix substrate shown in the example 2. In this example, the crystallizing method using the catalyst element currently indicated by JP,7-130652,A is also applicable. Below, the example in that case is explained.

[0170] The substrate film and an amorphous semiconductor layer are formed by the thickness of 25-80nm on a glass substrate like an example 2. For example, the amorphous silicon film is formed by the thickness of 55nm. And the layer which applies the water solution which contains a 10 ppm catalyst element by weight conversion with a spin coat method, and contains a catalyst element is formed. They are nickel (nickel), germanium (germanium), iron (Fe), palladium (Pd), tin (Sn), lead (Pb), cobalt (Co), platinum (Pt), copper (Cu), gold (Au), etc. at a catalyst element. The layer 170 containing this catalyst element may form the layer of the above-mentioned catalyst element other than a spin coat method in the thickness of 1-5nm with a spatter or a vacuum deposition method.

[0171] And at the process of crystallization, heat treatment of about 1 hour is first performed at 400-500 degrees C, and the amount of content hydrogen of the amorphous silicon film is made into less than [5atom%]. And heat annealing of 1 - 8 hours is performed at 550-600 degrees C in nitrogen-gas-atmosphere mind using a furnace annealing furnace. The crystalline substance semi-conductor layer which consists of the crystalline substance silicon film according to the above process can be obtained.

[0172] if an island-like semi-conductor layer is produced from this crystalline substance semi-conductor layer produced by carrying out for obtaining, a active-matrix substrate can be completed like an example 2. However, when the catalyst element which promotes crystallization of silicon in the process of crystallization is used, in an island-like semi-conductor layer, the catalyst element of a minute amount (1×10^{17} - about three 1×10^{19} atoms/cm) remains. Of course, although it is possible to complete TFT also in such the condition, it was more more desirable to remove the catalyst element which remains from a channel formation field at least. There is a means to use the gettering operation by Lynn (P) for one of the means which removes this catalyst element.

[0173] Gettering processing by Lynn (P) in this purpose can be performed to coincidence at the activation process explained by drawing 6 (C). The concentration of Lynn (P) required for gettering can be made to segregate by heat annealing of an activation process to the impurity range which it is comparable as the high impurity concentration of a high concentration n mold impurity range, is good, and contains Lynn (P) for the channel formation field of the n channel mold TFT and the p channel mold

TFT to a catalyst element by the concentration. As a result in the impurity range, the 1×10^{17} – about three 1×10^{19} atoms/cm catalyst element segregated. Thus, an OFF state current value falls, high electric field effect mobility is obtained from crystallinity being good, and produced TFT can attain a good property.

[0174] In addition, this example can be freely combined with an example 1 thru/or any 1 of 5.

[0175] The CMOS circuit and the pixel section which were formed by carrying out [example 7] this invention can be used for various semiconductor devices (an active matrix liquid crystal display, active-matrix mold EC display). That is, the invention in this application can be carried out on all the electronic equipment that built these semiconductor devices into the display. A sensor is built into the equipment of the following, and external brightness is detected and you may make it drop brightness on a dark place for power consumption reduction.

[0176] Drawing 18 (A) is a cellular phone and consists of a body 9001, the voice output section 9002, the voice input section 9003, an indicating equipment 9004, an actuation switch 9005, and an antenna 9006. The invention in this application is applicable to the voice output section 9002, the voice input section 9003, and the display 9004 equipped with the active-matrix substrate.

[0177] Drawing 18 (B) is a video camera and consists of a body 9101, an indicating equipment 9102, the voice input section 9103, the actuation switch 9104, a dc-battery 9105, and the television section 9106. The invention in this application is applicable to the voice input section 9103 and the display 9102 equipped with the active-matrix substrate, and the television section 9106.

[0178] Drawing 18 (C) is a mobile computer or a personal digital assistant, and consists of a body 9201, the camera section 9202, the television section 9203, an actuation switch 9204, and a display 9205. The invention in this application is applicable to the television section 9203 and the display 9205 equipped with the active-matrix substrate.

[0179] Drawing 18 (D) is a head mount display, and consists of a body 9301, a display 9302, and the arm section 9303. The invention in this application is applicable to a display 9302. Moreover, although not displayed, it can also be used for the other circuits for signal controls.

[0180] Drawing 18 (E) is television and consists of a body 9401, a loudspeaker 9402, a display 9403, a receiving set 9404, and amplifying device 9405 grade. The liquid crystal display shown in the example 5 and EL display shown in the examples 6 or 7 are applicable to a display 9403.

[0181] Drawing 18 (F) is pocket books, consists of a body 9501, indicating equipments 9502 and 9503, a storage 9504, an actuation switch 9505, and an antenna 9506, and displays the data memorized by the mini-disc (MD) and DVD and the data received with the antenna. Displays 9502 and 9503 are displays of a direct viewing type, and this invention can perform this thing [applying].

[0182] Drawing 18 (A) is a personal computer and consists of a body 9601, the image input section 9602, an indicating equipment 9603, and a keyboard 9604.

[0183] Drawing 18 (B) is a player using the record medium (it is hereafter called a record medium) which recorded the program, and consists of a body 9701, an indicating equipment 9702, the loudspeaker section 9703, a record medium 9704, and an actuation switch 9705. In addition, this equipment can use music appreciation, movie appreciation, a game, and the Internet, using DVD (Digital Versatile Disc), CD, etc. as a record medium.

[0184] Drawing 18 (C) is a digital camera and consists of a body 9801, an indicating equipment 9802, an eye contacting part 9803, an actuation switch 9804, and the television section (not shown).

[0185] Drawing 18 (A) is a front mold projector, and consists of a display 9901 and a screen 9902. This invention is applicable to the signal-control circuit of a display or others.

[0186] Drawing 18 (B) is a rear mold projector, and consists of a body 10001, a projection device 10002, a mirror 10003, and a screen 10004. This invention is applicable to the signal-control circuit of a display or others.

[0187] In addition, drawing 18 (C) is drawing having shown an example of the structure of the projection devices 9901 and 10002 in drawing 18 (A) and drawing 18 (B). Projection devices 9901 and 10002

consist of the light source optical system 10101, mirrors 10102, 10104-10106, a dichroic mirror 10103, prism 10107, a liquid crystal display 10108, a phase contrast plate 10109, and an incident light study system 10110. The incident light study system 10110 consists of optical system containing a projector lens. Although this example showed the example of a 3 plate type, it may not be limited especially, for example, may be a veneer type. Moreover, an operation person may prepare suitably the optical system of an optical lens, the film which has a polarization function, the film for adjusting phase contrast, IR film, etc., etc. in the optical path shown by the arrow head in drawing 18 (C).

[0188] Moreover, drawing 18 (D) is drawing having shown an example of the structure of the light source optical system 10201 in drawing 18 (C). The light source optical system 10201 is constituted from this example by a reflector 10211, the light source 10212, the lens arrays 10213 and 10214, the polarization sensing element 10215, and the condenser lens 10216. In addition, the light source optical system shown in drawing 18 (D) is especially an example, and is not limited. For example, an operation person may prepare suitably the optical system of an optical lens, the film which has a polarization function, the film which adjusts phase contrast, IR film, etc. in light source optical system.

[0189]

[Effect of the Invention] The liquid crystal display which has the pixel structure which realized a high numerical aperture and good black level can be realized without making the number of masks and routing counter of a component substrate increase by this invention.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. *** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the pixel section plan of this invention. (Example 1)

[Drawing 2] Drawing showing the pixel section plan of this invention. (Example 1)

[Drawing 3] Drawing showing the relation between the direction of rubbing, and a protection-from-light field. (Example 1)

[Drawing 4] Drawing showing cross-section structural drawing of a active-matrix substrate. (Example 1)

[Drawing 5] Drawing showing the making process of a active-matrix substrate. (Example 2)

[Drawing 6] Drawing showing the making process of a active-matrix substrate. (Example 2)

[Drawing 7] Drawing showing the making process of a active-matrix substrate. (Example 2)

[Drawing 8] Drawing showing cross-section structural drawing of a transparency mold liquid crystal display. (Example 3)

[Drawing 9] Drawing showing the pixel section plan of this invention. (Example 4)

[Drawing 10] Drawing showing the relation between the direction of rubbing, and a protection-from-light field. (Example 4)

[Drawing 11] Drawing showing cross-section structural drawing of a active-matrix substrate. (Example

4)

[Drawing 12] Drawing showing the pixel section plan of this invention. (Example 5)

[Drawing 13] Drawing showing the pixel section plan of this invention. (Example 5)

[Drawing 14] Drawing showing the relation between the direction of rubbing, and a protection-from-light field. (Example 5)

[Drawing 15] Drawing showing cross-section structural drawing of a active-matrix substrate. (Example 5)

[Drawing 16] Drawing showing an example of electronic equipment. (Example 7)

[Drawing 17] Drawing showing an example of electronic equipment. (Example 7)

[Drawing 18] Drawing showing an example of electronic equipment. (Example 7)

[Drawing 19] Drawing showing the optical leakage by the disclination of liquid crystal.

[Drawing 20] Drawing showing the optical leakage by the disclination of liquid crystal.

[Drawing 21] Drawing showing cross-section structural drawing of a active-matrix substrate.

[Drawing 22] Drawing showing the optical leakage by the disclination of liquid crystal.

[Drawing 23] Drawing showing the optical leakage by the disclination of the liquid crystal by alignment gap of an opposite substrate.

[Drawing 24] Drawing showing the wavelength dependency of relative luminous efficiency.

[Translation done.]

(11)特許出願公開番号

特開2001-311964

(P2001-311964A)

(43)公開日 平成13年11月9日(2001.11.9)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
G 0 2 F 1/1368		G 0 9 F 9/30	3 3 8 2 H 0 9 2
G 0 9 F 9/30	3 3 8	H 0 1 L 21/28	F 4 M 1 0 4
H 0 1 L 21/28		G 0 2 F 1/136	5 0 0 5 C 0 9 4
29/786		H 0 1 L 29/78	6 1 2 C 5 F 1 1 0
			6 1 9 B

審査請求 未請求 請求項の数 8 O L (全 25 頁)

(21)出願番号 特願2000-128558(P2000-128558)

(22) 出願日 平成12年4月27日(2000.4.27)

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

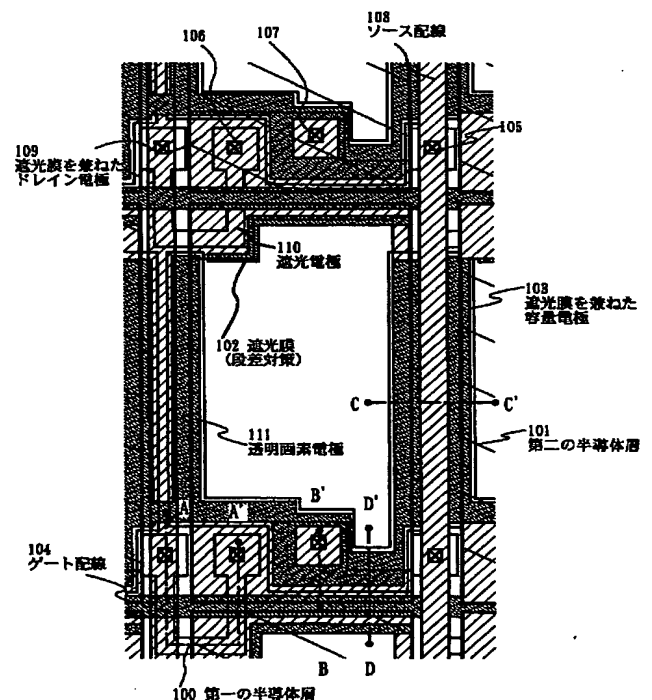
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 素子基板のマスク枚数を抑えて、ディスクリネーションを効率良く隠す。

【解決手段】 素子基板のソース配線、ゲート電極、容量電極、電気的に浮いた遮光膜を画素電極のエッジあるいは、ディスクリネーションによる光漏れが出やすい領域に配置して、配線用のマスク枚数が二枚でも効率良くディスクリネーションによる光漏れを隠す。



(2)

1

【特許請求の範囲】

【請求項 1】第一の遮光性を有する導電膜からなるゲート配線及び容量電極と、第二の遮光性を有する導電膜からなるソース配線及びドレイン電極と、前記ドレイン電極に電氣的に接続された透光性を有する導電膜とを有し、前記容量電極の一部が前記ソース配線と前記透光性を有する導電膜の間隙と重なり、かつ、前記ソース配線及び前記透光性を有する導電膜のエッジに重なって配置されたことを特徴とする半導体装置。

【請求項 2】第一の遮光性を有する導電膜からなるゲート配線と、第二の遮光性を有する導電膜からなるソース配線及びドレイン電極と、前記ドレイン電極に電氣的に接続された透光性を有する導電膜と、前記第一の遮光性を有する導電膜あるいは第二の遮光性を有する導電膜からなる電氣的に孤立した島状のパターンとを有することを特徴とする半導体装置。

【請求項 3】第一の遮光性を有する導電膜からなる島状のゲート電極及びソース配線と、第二の遮光性を有する導電膜からなる前記島状のゲート電極に電氣的に接続するゲート配線と、前記第二の遮光性を有する導電膜からなるドレイン電極と、前記ドレイン電極に電氣的に接続された透光性を有する導電膜とを有し、前記ドレイン電極の一部が前記透光性を有する導電膜のエッジ及び前記ソース配線のエッジに重なって配置されたことを特徴とする半導体装置。

【請求項 4】請求項 3 において、前記透光性を有する導電膜の上方に配置されたカラーフィルターを有し、前記カラーフィルターの色に応じて前記透光性を有する導電膜と前記ソース配線に重なって配置された前記ドレイン電極の面積が異なることを特徴とする半導体装置。

【請求項 5】請求項 3 において、前記透光性を有する導電膜の上方に配置されたカラーフィルターを有し、前記カラーフィルターの色の比視感度に応じて前記透光性を有する導電膜と前記ソース配線に重なって配置された前記ドレイン電極の面積が異なることを特徴とする半導体装置。

【請求項 6】第一の遮光性を有する導電膜からなる島状のゲート電極及びソース配線と、第二の遮光性を有する導電膜からなる前記島状のゲート電極に電氣的に接続するゲート配線と、前記第二の遮光性を有する導電膜からなるドレイン電極と、前記ドレイン電極に電氣的に接続された透光性を有する導電膜とを有し、前記島状のゲート電極の一部が前記透光性を有する導電膜と前記ゲート配線の間隙に重なり、かつ、前記透光性を有する導電膜及び前記ゲート配線のエッジに重なって配置されたことを特徴とする半導体装置。

【請求項 7】第一の遮光性を有する導電膜からなる島状のゲート電極及びソース配線と、第二の遮光性を有する導電膜からなる前記島状のゲート電極に電氣的に接続するゲート配線と、前記第二の遮光性を有する導電膜から

2

なるドレイン電極と、前記ドレイン電極に電氣的に接続された透光性を有する導電膜とを有し、前記ソース配線の第一の幅に対し前記ソース配線の第二の幅が 2 倍以上あり、前記ソース配線の第二の幅を持つ領域が前記透光性の導電膜に重なって配置されることを特徴とする半導体装置。

【請求項 8】請求項 1 乃至 7 のいずれか一項において、前記ドレイン電極に接して重ねられた前記透光性を有する導電膜があることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は薄膜トランジスタ（以下、TFT という）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される半導体装置およびその様な半導体装置を部品として搭載した電子機器に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、半導体装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 nm 程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは IC や半導体装置のような電子デバイスに広く応用され、特に液晶表示装置のスイッチング素子として開発が急がれている。

【0004】液晶表示装置には大きく分けてアクティブマトリクス型とパッシブマトリクス型の二種類のタイプが知られている。

【0005】アクティブマトリクス型の液晶表示装置はスイッチング素子として TFT を用いており、高品位な画像を得ることができる。アクティブマトリクス型の用途としてはノート型のパーソナルコンピュータが一般的であるが、家庭用のテレビ、携帯端末用途としても期待されている。

【0006】しかし、アクティブマトリクス型はパッシブマトリクス型に比べ、マスク枚数が多く、工程数が多い。このため、アクティブマトリクス型の液晶表示装置を汎用性のあるものとするためには、マスク枚数を減らしコストを抑えることと、歩留まりの向上が必須である。

【0007】アクティブマトリクス型の液晶表示装置の素子基板は微細なゴミにより線欠陥、点欠陥が生じてしまう。工程数が多くなると不良が発生する確率が高くなる。歩留まりの向上は、素子基板側の工程数をいかに抑えるかにかかっている。

【0008】ところで、アクティブマトリクス型の液晶表示装置はライン反転駆動、素子による段差により液晶のディスクリネーションができてしまう。良質な黒レベ

50

(3)

3

ルを得るためには、ディスクリネーションによる光漏れを隠す遮光膜が必要である。

【0009】しかし、アクティブマトリクス型の液晶表示装置の素子基板側に遮光膜をパターンニングすると、遮光膜自体を形成するための工程及びマスクが増加するだけでなく、遮光膜と配線の間には層間絶縁膜を設けて絶縁することが必要となってしまう。層間絶縁膜の形成によっても、コストが上昇する。もちろん工程数の増加は歩留まりの低下を招く。

【0010】対向基板だけに遮光膜を形成すれば、素子基板側の工程数の増加を抑え、歩留まりの向上を図ることができる。しかし、対向基板のみに遮光膜を形成すると、基板を貼り合わせるときの、アライメント精度によっては、遮光膜の位置ずれにより光漏れを隠しきれないときがあり、良質な黒レベルを確保できない。図23に示すように、対向基板に形成された遮光膜701がアライメントずれにより、ずれて素子基板と貼り合わせられ、ディスクリネーションによる光漏れ703が見えてしまう。特にディスクリネーションのエッジ付近の光漏れが見えてしまう。このため、黒表示702に光漏れが混じり黒レベルが悪くなる。アライメントの位置ずれによる光漏れを防ぐために、遮光領域を増やすと、開口率が低下し、逆に明るさが損なわれる。

【0011】つまり、開口率とコントラストを高くし、良質な黒レベルを確保するためには素子基板側に遮光膜を形成することは、しごく、当たり前のことである。しかし、この当たり前のことを、素子基板側の工程数の増加を抑えて行うには、画素の配線パターンを効率よくレイアウトする必要がある。

【0012】

【発明が解決しようとする課題】アクティブマトリクス型の液晶表示装置の良質な黒レベルを確保し、かつコストを抑えて作製するには従来にない全く新しい画素構成が求められている。

【0013】本発明は、そのような要求に答えるものであり、遮光膜形成による素子基板側のマスク数及び工程数を増加させることなく、良質な黒レベルを確保するアクティブマトリクス型の液晶表示装置を提供することを課題とする。

【0014】

【課題を解決するための手段】上述した従来技術の課題を解決するために以下の手段を講じた。

【0015】まず、マスク数6枚で、素子基板を作製した。素子基板の構成を図19と図21を用いて説明する。図19の上面図を鎖線K-K'と鎖線L-L'で切断したときの断面図を図21に示す。図19と図21において同じ要素を同符号で示している。

【0016】第一の半導体層613と第二の半導体層614が一枚のマスクでパターンニングされている。ソース配線601とゲート電極600が一枚のマスクでパター

4

ニングされている。第一の層間絶縁膜615と第二の層間絶縁膜616（図19においては図示せず）を形成する。第二の層間絶縁膜616の上に接するように、ゲート配線602と接続電極603とドレイン電極604と容量接続電極605が一枚のマスクでパターンニングされている。

【0017】さらに、ドレイン電極604と容量接続電極605に重なり合うように、透明画素電極606を形成する。透明画素電極606はゲート配線602、接続電極603とショートしないようにマージンをとる。

【0018】対向基板にカラーフィルタ、オーバーコート材、透明画素電極を形成し、素子基板と対向基板をセル組みし、液晶の配向を見た。素子基板の裏面から配向の観察をした。配向はTN方式で、混入したカイラル材は左巻きである。液晶のディスクリネーションの出る領域を解析するために対向基板には遮光膜がない。

【0019】直視型の液晶表示装置をゲートライン駆動する。ゲート方向の長さが、ソース方向の長さより短い画素では、ゲートライン反転駆動のほうがソースライン反転駆動に比べ、画素に占めるディスクリネーションによる光漏れの割合を小さくできる。このときのディスクリネーションを図19～20に示す。

【0020】一画素において、素子基板の画素の先にラビングされる側のソース配線にディスクリネーションによる強い光漏れ607～609が見られる。人間の眼の感度が緑において高いから、比視感度の高い緑において、光漏れが強く認識される。

【0021】図21の断面図よりわかるように、透明画素電極606の下に容量接続電極605とドレイン電極604と接続電極603が形成されている。容量接続電極605とドレイン電極604と接続電極603は絶縁膜により平坦化されていないため、電極自体の膜厚が液晶配向面の段差を誘起する。これにより段差の周りに微弱な光漏れ610～612が見られた。直視型の液晶表示装置ではこのような微弱な光漏れ610～612は大きな問題とはならないが、投射型の液晶表示装置では良質な黒レベルを確保するために、場合によっては段差による光漏れも遮光する必要がある。

【0022】光漏れが遮光されているせいかそれほど目立たないが、ゲートライン反転駆動のため、ディスクリネーションによる光漏れがゲートラインに沿ってできる。

【0023】全体的に透明画素電極606のエッジ付近にディスクリネーションによる光漏れが見られた。

【0024】そこで、以上のような解析をふまえて、素子基板のマスク枚数は6枚のままで、ディスクリネーションによる光漏れを効率良く隠す画素のレイアウトを作製した。注目すべきは、たった二枚の遮光性の導電膜用のマスクで配線パターン等を形成し、素子基板において、ディスクリネーションを隠していることである。

(4)

5

【0025】たった、二枚の遮光性の導電膜用のマスクで配線パターン等を形成するため、どうしてもディスクリネーションを隠しきれない領域ができてしまう。しかし、強く光漏れができる領域や、ディスクリネーションのエッジの部分を素子基板において確実に隠すことができれば、対向基板の遮光膜は素子基板の遮光パターンに比べ小さくできる。素子基板を貼り合わせるときの位置ずれが多少あっても、対向基板の遮光膜と合わせて、ディスクリネーションを隠すことができる。

【0026】本発明は、第一の遮光性を有する導電膜からなるゲート配線及び容量電極と、第二の遮光性を有する導電膜からなるソース配線及びドレイン電極と、前記ドレイン電極に電氣的に接続された透光性を有する導電膜とを有する半導体装置に適用することを特徴とする。

【0027】本発明は、第一の遮光性を有する導電膜からなる島状のゲート電極及びソース配線と、第二の遮光性を有する導電膜からなる前記島状のゲート電極に電氣的に接続するゲート配線と、前記第二の遮光性を有する導電膜からなるドレイン電極と、前記ドレイン電極に電氣的に接続された透光性を有する導電膜とを有する半導体装置に適用することを特徴とする。

【0028】例えば、容量電極の一部がソース配線と透光性を有する導電膜の間隙と重なり、かつ、ソース配線及び透光性を有する導電膜のエッジに重なって配置されたことで、透光性の導電膜のエッジにできるディスクリネーションによる光漏れを隠すことを特徴とする。

【0029】また、第一の遮光性を有する導電膜あるいは第二の遮光性を有する導電膜からなる電氣的に孤立した島状のパターンを形成し、ディスクリネーションによる光漏れを隠しても良い。

【0030】ドレイン電極の一部を透光性を有する導電膜のエッジ及びソース配線のエッジに重ねて配置して、透光性を有する導電膜のエッジにできるディスクリネーションによる光漏れを隠しても良い。

【0031】カラーフィルターが緑の時に特にディスクリネーションによる光漏れが他色に比べ目立つ傾向があるため、カラーフィルターの色に応じて遮光領域の面積を変えても良い。

【0032】島状のゲート電極の一部を透光性を有する導電膜とゲート配線の間隙に重なり、かつ、透光性を有する導電膜及びゲート配線のエッジに重ねて配置してディスクリネーションによる光漏れを隠しても良い。

【0033】ソース配線の一部を他の部分に対し、2倍以上望ましくは2～4倍以上太くして、透光性の導電膜の遮光膜としても良い。

【0034】本発明は、TN方式だけでなく液晶のディスクリネーションを隠す手段として広く用いることができる。例えば、R-TN方式、スメクチック液晶を用いた液晶表示装置、IPS (In Plane Switching) 方式において表示が不連続な領域を隠し、

6

画素内の輝度を一定にする手段として用いても良い。

【0035】本発明は半導体素子により電圧あるいは電界を変調し、調光層を光学変調させる電気光学装置において、画素内に表示が不連続な領域がある場合に、該領域を遮光する方法として広く用いることができる。例えばEL表示装置のスイッチング素子を形成するさいに、本発明を適用することが可能である。

【0036】

【発明の実施の形態】 [実施例1] 本実施例では直視型の透過型の液晶表示装置を作製する。金属電極による配線パターンのマスクはたった二枚である。二枚の配線パターンのマスクでディスクリネーションによる光漏れを隠す。

【0037】図22のように一つの画素804において、対向基板のラビング方向802で先にラビングされる側と素子基板のラビング方向801で先にラビングされる側と画素電極のエッジにディスクリネーション803による光漏れが出る。ディスクリネーションによる光漏れを隠すことができるレイアウトとする。本実施例を図1～2を用いて説明する。配向はTN方式、駆動はソースライン反転駆動とする。図3にラビング方向と遮光領域の関係を示す。図1の上面図の鎖線A-A'と鎖線B-B'で切断したものが図2のA-A'と鎖線B-B'で示される断面に対応する。

【0038】素子基板は、図1に示すように、行方向に配置されたゲート配線104と、列方向に配置されたソース配線108と、ゲート配線とソース配線の交差部近傍の画素TFTを有する画素部と、nチャネル型TFTやpチャネル型TFTを有する駆動回路とを含む。

【0039】第一の半導体層100と第二の半導体層101がパターンニングされている。第一の半導体層100はTFT素子の活性層である。第二の半導体層101は後述する保持容量の容量電極として機能する。

【0040】ゲート絶縁膜（図示しない）に接するように、遮光膜102、遮光膜を兼ねた容量電極103、ゲート配線104を形成する。遮光膜を兼ねた容量電極103は表示領域において、短絡されている。

【0041】第一の層間絶縁膜と第二の層間絶縁膜（図示しない）を形成した後、コンタクトホール105～107を開ける。次に、パターンニングによりソース配線108、遮光膜を兼ねたドレイン電極109、遮光電極110を形成する。

【0042】コンタクトホール105により、第一の半導体層100とソース配線108が電氣的に接続する。

【0043】コンタクトホール106により、第一の半導体層100と遮光膜を兼ねたドレイン電極109が電氣的に接続する。

【0044】コンタクトホール107により、第二の半導体層101と遮光膜を兼ねたドレイン電極109が電氣的に接続する。

(5)

7

【0045】さらに、絶縁膜を介さずに、透明画素電極111を形成する。このとき、透明画素電極111が遮光電極110、遮光膜を兼ねたドレイン電極109に重なり合うようにする。

【0046】以上の構成により、ゲート配線104、ソース配線108、遮光膜を兼ねたドレイン電極109、遮光電極110により、TFT素子の活性層である第一の半導体層100を外光から保護する。

【0047】遮光電極110を設けることで、活性層と、活性層付近にできるディスクリネーションによる光漏れが遮光できる。

【0048】透明画素電極111の四隅のうち先にラビングされる側にできる液晶のディスクリネーションを遮光膜を兼ねたドレイン電極107により遮光できる。

【0049】さらに、透明画素電極111の直下にある遮光膜を兼ねたドレイン電極109と遮光電極110が0.5~0.75 μ m以上と厚い場合は、段差により液晶の配向が乱れて微細な光漏れが生じるときがある。このような光漏れを遮光膜102で遮光できる。

【0050】ゲートライン反転駆動すると、横方向電界等により、ゲート配線104とソース配線108に沿ったディスクリネーションが出る。この光漏れは視認性に大きく影響するが、ディスクリネーションができる位置に、遮光膜を兼ねた容量電極103を形成しているため、ディスクリネーションを隠すことができる。遮光膜を兼ねた容量電極103により保持容量の面積を大きくとることができる。

【0051】保持容量については、画素毎に設けられた第二の半導体層101と表示領域で短絡された遮光膜を兼ねた容量電極103を電極とする。容量電極103はコンタクトホール107によりドレイン電極109と画素電極111と同電位になる。ゲート絶縁膜が、容量電極の絶縁膜として機能する。

【0052】断面図の図4(A)における遮光電極115と透明画素電極116と、図4(B)における透明画素電極118と半導体層117と、図4(C)において、遮光膜123と透明画素電極122と遮光電極121は隣接する画素のものである。

【0053】以上の画素部の構成は5枚のマスクで作製できる。図3に図1の配線パターンによる素子基板の遮光領域112を示す。たった二枚の配線パターンのマスクで遮光するため、光が通る領域123~126はあるが、ディスクリネーションの出る領域のエッジが隠れている。対向基板の遮光膜を広めに取れば、位置ずれが多少あっても、光漏れが隠せる。また、対向基板の遮光膜を広めにとっても、素子基板の遮光膜に重なり合うため、貼り合わせの位置ずれにより開口率は低下しない。

【0054】後述するように、低温ポリシリコンをTFT素子の活性層に用いると、駆動回路TFTと画素TFTを1枚の基板に作製できる。このとき、CMOSの駆

8

動回路を作製するためにはnチャネル型TFTとpチャネル型TFTが必要である。

【0055】素子基板の作製工程によっては、p型を付与する不純物元素をドーピングするマスクとして、さらに1枚の追加マスクが必要である。それでも、図1に示す画素構造を有する画素部と駆動回路とを有する素子基板を形成するために必要なマスク数は、6枚とすることができる。

【0056】即ち、1枚が、第1の半導体層100及び第2の半導体層101をパターンニングするマスク、1枚が、ゲート配線104と遮光膜を兼ねた容量電極103と遮光膜102をパターンニングするマスク、1枚がコンタクトホールを形成するマスク、1枚がソース配線108及び遮光膜を兼ねたドレイン電極109、遮光電極110をパターンニングするマスク、1枚が透明画素電極111をパターンニングするためのマスク、一枚がドーピング用のマスクである。

【0057】これにより、nチャネル型TFT、pチャネル型TFT、nチャネル型TFTを有する駆動回路部と、画素TFT114、保持容量113とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0058】以上のように、図1に示す画素構造とした場合、素子基板においてマスク数を増やすことなくコンダクタの良好な透過型の液晶表示装置を実現することができる。

【0059】[実施例2]本実施例では、実施例1をアクティブマトリクス型液晶表示装置に適用した場合の作成方法例として、画素部のスイッチング素子である画素TFTと、画素部の周辺に設けられる駆動回路(信号線駆動回路、走査線駆動回路等)のTFTを同一基板上に作製する方法について工程に従って説明する。但し、説明を簡単にするために、駆動回路部にはその基本構成回路であるCMOS回路を、画素部の画素TFTにはnチャネル型TFTとを、ある経路に沿った断面により図示することにする。

【0060】まず、図5(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板400上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜401を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜401aを10~200nm(好ましくは50~100nm)形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜401bを50~200nm(好ましくは100~150nm)の厚さに積層形成する。本実施例では下地膜401を2層構造として示したが、前記絶縁膜の単層膜または

(6)

9

2層以上積層させた構造として形成しても良い。

【0061】島状半導体層402～406は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層402～406の厚さは25～80nm

(好ましくは30～60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0062】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100～400mJ/cm²(代表的には200～300mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10kHzとし、レーザーエネルギー密度を300～600mJ/cm²(代表的には350～500mJ/cm²)すると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80～98%として行う。

【0063】次いで、島状半導体層402～406を覆うゲート絶縁膜407を形成する。ゲート絶縁膜407はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さの酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0064】そして、ゲート絶縁膜407上にゲート電極を形成するための第1の導電膜408と第2の導電膜409とを形成する。本実施例では、第1の導電膜408をTaで50～100nmの厚さに形成し、第2の導電膜409をWで100～300nmの厚さに形成する。

【0065】Ta膜はスパッタ法で形成し、TaのターゲットをArでスパッタする。この場合、Arに適量の

10

XeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、α相のTa膜の抵抗率は20μΩcm程度でありゲート電極に使用することができるが、β相のTa膜の抵抗率は180μΩcm程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを10～50nm程度の厚さでTaの下地に形成しておくことα相のTa膜を容易に得ることができる。

【0066】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20μΩcmを実現することができる。

【0067】なお、本実施例では、第1の導電膜408をTa、第2の導電膜409をWとしたが、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の組み合わせとしては、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をCuとする組み合わせなどがある。

【0068】次に、レジストによるマスク410～417を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0069】上記エッチング条件では、レジストによるマスクの形状に適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ部の角度が15～45°のテーパ形状となる。ゲート絶縁膜上に残渣を残すこと

(7)

11

なくエッチングするためには、10～20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4（代表的には3）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50nm程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層419～426（第1の導電層419a～426aと第2の導電層419b～426b）を形成する。418はゲート絶縁膜であり、第1の形状の導電層419～426で覆われない領域は20～50nm程度エッチングされ薄くなった領域が形成される。

【0070】そして、第1のドーピング処理を行い、n型を付与する不純物元素を添加する。（図5（B））ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を60～100keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いる。この場合、導電層419～423がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域427～431が形成される。第1の不純物領域427～431には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atomic/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。

【0071】次に、図5（C）に示すように第2のエッチング処理を行う。同様にICPエッチング法を用い、エッチングガスに CF_4 と Cl_2 と O_2 を混合して、1Paの圧力でコイル型の電極に500WのRF電力（13.56MHz）を供給し、プラズマを生成して行う。基板側（試料ステージ）には50WのRF（13.56MHz）電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTaを異方性エッチングして第2の形状の導電層433～440（第1の導電層433a～440aと第2の導電層433b～440b）を形成する。432はゲート絶縁膜であり、第2の形状の導電層433～437で覆われない領域はさらに20～50nm程度エッチングされ薄くなった領域が形成される。

【0072】W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WC15 、 TaF5 、 TaCl5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、Fラジカル

12

またはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0073】そして、図6（A）に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120keVとし、 $1 \times 10^{13} \text{ /cm}^2$ のドーズ量で行い、図5（B）で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層433～437を不純物元素に対するマスクとして用い、第1の導電層433a～437aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第1の導電層433a～437aと重なる第3の不純物領域441～445と、第1の不純物領域と第3の不純物領域との間の第2の不純物領域446～450とを形成する。n型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度となるようにし、第3の不純物領域で $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度となるようにする。

【0074】そして、図6（B）に示すように、pチャネル型TFTを形成する島状半導体層403に一導電型とは逆の導電型の第4の不純物領域454～456を形成する。第2の形状の導電層434を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層402、404、405、406はレジストマスク451～453で全面を被覆しておく。不純物領域454～456にはそれぞれ異なる濃度でリンが添加されているが、ジボラン（ B_2H_6 ）を用いたイオンドープ法により、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。

【0075】以上の工程により、それぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる導電層433～436がTFTのゲート電極として機能する。また、439は信号線、440は走査線、437は容量配線、438は駆動回路内の配線として機能する。

【0076】こうして導電型の制御を目的として図6（C）に示すように、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルア

(8)

13

ニール法 (RTA法) を適用することができる。熱アニール法では酸素濃度が1 ppm以下、好ましくは0.1 ppm以下の窒素雰囲気中で400~700℃、代表的には500~600℃で行うものであり、本実施例では500℃で4時間の熱処理を行う。ただし、433~440に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜 (シリコンを主成分とする) を形成した後で活性化を行うことが好ましい。

【0077】さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

【0078】次いで、第1の層間絶縁膜457は酸化窒化シリコン膜から100~200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜458を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0079】そして、駆動回路部において島状半導体層のソース領域とコンタクトを形成するソース配線459~461、ドレイン領域とコンタクトを形成するドレイン配線462~464を形成する。また、画素部においては、ソース配線465、遮光膜を兼ねたドレイン電極466~467と468を形成する。遮光膜を兼ねたドレイン電極468は隣接する画素に形成されたものである (図7)。図7において、図1と同一の要素は括弧内に対応する数字を示している。図7の鎖線A-A'、B-B'は図1の上面図の切断線の鎖線A-A'、B-B'に対応している。

【0080】遮光膜を兼ねたドレイン電極466は画素TFTの活性層に相当する島状半導体層467に、遮光膜を兼ねたドレイン電極467は保持容量505を形成する島状半導体層431と電気的な接続が形成される。なお、遮光膜を兼ねたドレイン電極468は隣り合う画素のものである。

【0081】その後、透明導電膜を全面に形成し、フォトマスクを用いたパターニング処理およびエッチング処理により透明画素電極469~471を形成する。透明画素電極470は、遮光膜を兼ねたドレイン電極466に重なるように形成される。また、画素TFT504の遮光膜を兼ねたドレイン電極467と重なる部分を設け、保持容量505の電極として機能する島状半導体膜406に電位が与えられる。

【0082】透明導電膜の材料は、酸化インジウム (In_2O_3) や酸化インジウム酸化スズ合金 ($\text{In}_2\text{O}_3-\text{SnO}_2$; ITO膜) などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、

14

特にITO膜のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 ($\text{In}_2\text{O}_3-\text{ZnO}$) を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITO膜に対して熱安定性にも優れているので、容量電極を兼ねたドレイン電極466~468にAlを用いても、表面で接触するAlとの腐蝕反応を防止できる。同様に、酸化亜鉛 (ZnO) も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム (Ga) を添加した酸化亜鉛 ($\text{ZnO}:\text{Ga}$) などを用いることができる。

【0083】以上のようにして、nチャネル型TFT501、pチャネル型TFT502、nチャネル型TFT503を有する駆動回路部と、画素TFT504、保持容量505とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0084】駆動回路部のnチャネル型TFT501はチャネル形成領域468、ゲート電極を形成する導電層433と重なる第3の不純物領域441 (GOLD領域)、ゲート電極の外側に形成される第2の不純物領域446 (LDD領域) とソース領域またはドレイン領域として機能する第1の不純物領域427を有している。pチャネル型TFT502にはチャネル形成領域469、ゲート電極を形成する導電層434と重なる第4の不純物領域456、ゲート電極の外側に形成される第4の不純物領域455、ソース領域またはドレイン領域として機能する第4の不純物領域454を有している。nチャネル型TFT503にはチャネル形成領域470、ゲート電極を形成する導電層435と重なる第3の不純物領域443 (GOLD領域)、ゲート電極の外側に形成される第2の不純物領域448 (LDD領域) とソース領域またはドレイン領域として機能する第1の不純物領域429を有している。

【0085】画素部の画素TFT504にはチャネル形成領域471、ゲート電極を形成する導電層436と重なる第3の不純物領域444 (GOLD領域)、ゲート電極の外側に形成される第2の不純物領域449 (LDD領域) とソース領域またはドレイン領域として機能する第1の不純物領域430を有している。また、保持容量505の一方の電極として機能する半導体層431には第1の不純物領域と同じ濃度で、半導体層445には第3の不純物領域と同じ濃度で、半導体層450には第2の不純物領域と同じ濃度で、それぞれn型を付与する不純物元素が添加されており、容量配線437とその間の絶縁層 (ゲート絶縁膜と同じ層) とで保持容量を形成している。

【0086】本実施例は、ブラックマトリクスを用いることなく、画素電極間の隙間を遮光することができるように、画素電極の端部をゲート線や遮光膜を兼ねた容量

(9)

15

電極と重なるように配置されている。さらに画素電極に接して遮光性の電極を形成している。

【0087】また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を6枚（島状半導体層パターン、第1配線パターン（ソース線、ゲート配線、遮光膜を兼ねた容量電極、遮光膜）、第2配線パターン（ソース配線、ドレイン電極、遮光膜）、コンタクトホールパターン、透明画素電極パターン、 n チャネル領域のマスクパターン）とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0088】[実施例3]本実施例では、実施例2で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図8を用いる。図8の鎖線A-A'と鎖線B-B'は、図1の上面図を鎖線A-A'と鎖線B-B'で切断した断面に対応している。

【0089】まず、実施例2に従い、図7の状態のアクティブマトリクス基板を得た後、図8のアクティブマトリクス基板上に、感光性樹脂によりスペーサ515を形成する。

【0090】スペーサの配置は任意に決定すれば良いが、例えば図8で示すように遮光膜を兼ねたドレイン電極（466）上に位置が合うように対向基板に配置すると良い。また、駆動回路部のTFT上にその位置を合わせてスペーサを対向基板上に配置してもよい。このスペーサは駆動回路部の全面に渡って配置しても良いし、ソース配線およびドレイン配線を覆うようにして配置しても良い。

【0091】スペーサ515形成後に、配向膜506を形成しラビング処理を行う。

【0092】一方、対向基板507を用意する。対向基板507には遮光膜を形成する。実施例1の図1～2の基板を用いた場合、少なくとも図2の透光領域123～126を遮光する必要があるため、遮光領域123～126に対し、1～1.5 μm 広めに遮光膜を形成する。

【0093】さらに、カラーフィルタ層508、509、オーバーコート層510を形成する。三原色のカラーフィルタ層のうち、二色が図示されている。各色のカラーフィルタ層はアクリル樹脂に顔料を混合したもので1～3 μm の厚さで形成する。これは感光性材料を用い、マスクを用いて所定のパターンに形成することができる。オーバーコート層510は光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂などを用いる。

【0094】オーバーコート層510を形成した後、対向電極512をパターンニングにより形成し、配向膜513を形成した後ラビング処理を行う。

【0095】そして、画素部と駆動回路部が形成されたアクティブマトリクス基板と対向基板とをシール剤51

16

3で貼り合わせる。アクティブマトリクス基板と対向基板のラビング方向が互いに直交するように貼り合わせることで液晶の配向がTN方式となる。シール剤513にはフィラーが混入されていて、このフィラーとスペーサ515によって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶514を注入し、封止剤（図示せず）によって完全に封止する。液晶514には公知の液晶材料を用いれば良い。このようにして図8に示すアクティブマトリクス型液晶表示装置が完成する。

【0096】なお、上記の行程により作成されるTFTはトップゲート構造であるが、ボトムゲート構造のTFTやその他の構造のTFTに対しても本発明は適用され得る。

【0097】また、液晶材料の代わりにエレクトロルミネッセンス（EL: Electro Luminescence）材料を用いた自発光型の画像表示装置であるEL表示装置に対しても本発明は適用され得る。

【0098】[実施例4]本発明の一例を図9の画素TFTの上面図を用いて説明する。実施例1の画素部のレイアウトに比べて、透明画素電極316をソース配線302の上方にオーバーラップさせることができるため、開口率が高くできる。

【0099】実施例4は直視型の透過型の液晶表示装置である。赤色、青色、緑色のカラーフィルタが形成されている。比視感度が高い緑色のカラーフィルタが形成された画素では、ディスクリネーションによる光漏れが赤色、青色の画素に比べはっきりと見えてしまう。このため、画素の比視感度に応じて、遮光領域の面積を変えている。

【0100】実施例1では容量電極を遮光膜としていたため、遮光領域の面積は各画素において、同一にしなければならなかった。実施例4においては、透明画素電極に直接に接するドレイン電極を遮光膜とするため、画素の表示色に応じて遮光領域の面積を変えることができる。

【0101】実施例1と同様に、たった二枚の金属膜の配線パターンのマスクで、ディスクリネーションを効率的に隠すレイアウトとする。

【0102】ラビング方向は左右対称の視野角特性を得るために、基板の一辺に対し45°の角度とする。配向はTN方式である。ラビング方向とディスクリネーションの関係から遮光領域を設定する。ラビング方向と遮光領域の関係を図10に示す。

【0103】素子基板は、図9に示すように、行方向に配置されたゲート配線311と、列方向に配置されたソース配線302と、ゲート配線とソース配線の交差部近傍の画素TFTを有する画素部と、 n チャネル型TFTや p チャネル型TFTを有する駆動回路とを含む。

【0104】ただし、図9におけるゲート配線は、行方

(10)

17

向に配置されたゲート電極303と接続したものを指している。また、ゲート配線311は第二の層間絶縁膜上に接して設けられたものである。

【0105】第一の半導体層300と第二の半導体層301がパターンニングされている。第一の半導体層300はTFT素子の活性層である。第二の半導体層301は後述する保持容量の容量電極として機能する。

【0106】ゲート絶縁膜（図示しない）に接するように、ソース配線302とゲート電極303を形成する。

【0107】第一の層間絶縁膜と第二の層間絶縁膜（図示しない）を形成した後、第一の半導体層300、第二の半導体層301、ソース配線302に達するコンタクトホール304～308、317を開ける。次にパターンニングにより、接続電極309、ドレイン電極310、ゲート配線311、容量接続電極312、遮光膜を兼ねたドレイン電極313～314、青表示の画素の遮光膜315を形成する。

【0108】コンタクトホール304とコンタクトホール305により、接続電極309を介して、第一の半導体層300とソース配線302が電氣的に接続する。

【0109】コンタクトホール306により、第一の半導体層300と遮光膜を兼ねたドレイン電極313～314が電氣的に接続する。コンタクトホール317とドレイン電極313～314が電氣的に接続する。

【0110】コンタクトホール307により、第二の半導体層301と容量接続電極312が電氣的に接続する。

【0111】コンタクトホール308により、ゲート電極303とゲート配線311が電氣的に接続する。

【0112】さらに、絶縁膜を介さずに、透明画素電極316をドレイン電極310、容量接側電極312、遮光膜を兼ねたドレイン電極313～314、青表示の画素の遮光膜315に重なり合うように形成する。

【0113】これにより、容量接続電極312は透明画素電極315と電氣的に接続して、保持容量の電極として機能する第二の半導体層301に電位を与える。ゲート電極303と島状の半導体層301により保持容量ができる。ゲート絶縁膜が保持容量の絶縁膜として機能する。

【0114】ゲート配線311、接続電極309、ドレイン電極310、遮光膜を兼ねたドレイン電極313～314により、TFT素子の活性層である第一の半導体層300を外光から保護する。光による素子の劣化、光電流による電位の変動を防止できる。

【0115】ドレイン電極310、遮光膜を兼ねたドレイン電極313～314は第一の層間絶縁膜と第二の層間絶縁膜を間に挟んで、ソース配線302の上方に形成されている。これにより、素子基板の先にラビングされる側にできるディスクリネーションを隠すことができる。

18

【0116】さらに、本実施例においては各画素の表示色に応じて、遮光膜を兼ねたドレイン電極313～314の面積を変えている。

【0117】緑色（波長555nm）の比視感度を1とすると、赤色（波長650nm）の比視感度は0.11、青色（波長450nm）の比視感度は0.04である。単一波長で比較して、青色に対し赤は約3倍、緑は約2.5倍の明るさで見える。比視感度の波長依存性を図24に示す。

【0118】つまり、比視感度の高い緑色を表示する画素については光漏れが目立ちやすいのでコントラストを優先して、確実にディスクリネーションを遮光できるように、遮光膜を兼ねたドレイン電極313の面積を広くする。赤色を表示する画素については遮光膜を兼ねた遮光電極314を狭い幅で設ける。青色については明るさを優先してのため青表示の画素の遮光膜315を一部のみ形成する。

【0119】本実施例では比視感度のみを考慮して各色の遮光電極の面積を決定したが、比視感度とカラーフィルタの透過率の両方を考慮して遮光電極の面積を決めても良い。比視感度と光源の波長分布の両方を考慮して遮光電極の面積を決めても良い。

【0120】以上の画素のレイアウトにより、たった二枚の配線パターンマスクにより、液晶のディスクリネーションによる光漏れを効率良く隠すことができる。

【0121】図10に素子基板の遮光領域318を示す。たった二枚の配線パターンマスクで遮光するため、光が通る領域はあるが、ディスクリネーションの出る領域のエッジが隠れているため、対向基板の遮光膜のアライメントが多少ずれても、光漏れが隠せる。また、対向基板の遮光膜を広めにとっても、素子基板の遮光領域に比べ、遮光領域の面積が小さいため、アライメントがずれても、対向基板の遮光領域が素子基板の遮光領域に重なり合い、開口率は低下しない。

【0122】ディスクリネーションによる光漏れが目立たないようにし、かつ、明るさを損なわないようにするため、比視感度に応じて、赤表示の画素328の開口率と、緑表示の画素329の開口率と、青表示の画素330の開口率が変わる。

【0123】図9の素子基板の断面図を図11に示す。図11(A)の鎖線E-E'、鎖線F-F'、鎖線G-G'は、図9を鎖線E-E'、鎖線F-F'、鎖線G-G'で切断したものを示す。図11は実施例2の図6(C)で示される基板に対し、以下の工程を追加し、作製したものである。図11(A)により説明する。

【0124】まず、第1の層間絶縁膜323を酸化窒化シリコン膜で100～200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜324を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

50

(11)

19

【0125】そして、駆動回路部において島状半導体層のソース領域とコンタクトを形成するソース配線328～330、ドレイン領域とコンタクトを形成するドレイン配線331～333を形成する。

【0126】また、画素部においては、接続電極309、ドレイン電極310、ゲート配線311、容量接続電極312、遮光膜を兼ねたドレイン電極313～314を形成する。膜厚は0.3 μ m～0.75 μ mが望ましい。

【0127】接続電極309は、ソース配線302と第一の半導体層300と電気的に接続する。図示していないが、ゲート配線311はゲート電極303とコンタクトホールにより電気的に接続する。容量接続電極312は第二の半導体層301と電気的に接続する。

【0128】その後、透明導電膜を全面に形成し、フォトマスクを用いたパターニング処理およびエッチング処理により透明画素電極316を形成する。膜厚は100nm～1400nmが望ましい。透明画素電極316は、画素TFT321のドレイン電極310に重なるように形成される。透明画素電極316により保持容量322の電極として機能する島状半導体膜301に電位が与えられる。

【0129】透明導電膜の材料は、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金($\text{In}_2\text{O}_3\text{—SnO}_2$;ITO膜)などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITO膜のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金($\text{In}_2\text{O}_3\text{—ZnO}$)を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITO膜に対して熱安定性にも優れているので、ドレイン電極316にAlを用いても、表面で接触するAlとの腐蝕反応を防止できる。同様に、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛(ZnO:Ga)などを用いることができる。

【0130】また、図11(B)により説明すると、本実施例において、遮光膜を兼ねたドレイン電極313～314の面積を画素の表示色に応じて変えている点の特徴である。ソース配線325～327付近にできるディスクリネーションによる光漏れを隠すために、表示色の比視感度が高い緑においては、広い面積の遮光膜を兼ねたドレイン電極313を用いる。表示色の比視感度が緑に比べ低い赤においては、やや狭い面積の遮光膜を兼ねたドレイン電極314を用いる。青表示の画素においては、開口率を優先し、強く光漏れが認識される部分のみに遮光膜を形成する。

【0131】以上のようにして、nチャネル型TFT、pチャネル型TFT、nチャネル型TFTを有する駆動

20

回路部と、画素TFT321、保持容量322とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0132】低温ポリシリコンをTFT素子の活性層に用いると、駆動回路TFTと画素TFTを1枚の基板に作製できる。このとき、CMOSの駆動回路を作製するためにはnチャネル型TFTとpチャネル型TFTが必要である。

【0133】実施例2と本実施例の素子基板の作製工程によると、図9～11に示す画素構造を有する画素部と、駆動回路とを有する素子基板を形成するために必要なマスク数は6枚でよい。

【0134】即ち、1枚目が、第1の半導体層300及び第2の半導体層301をパターニングするマスク、2枚目が、ソース配線302及びゲート電極303をパターニングするマスク、3枚目がp型を付与する不純物のドーピングマスク、4枚目が第1の半導体層300と第2の半導体層301とソース配線302とゲート電極303とにそれぞれ達するコンタクトホールを形成するマスク、5枚目は、接続電極309、ドレイン電極310、ゲート配線311、容量接続電極312、遮光膜を兼ねたドレイン電極313～314、遮光膜315をパターニングするマスク、6枚目は透明画素電極316をパターニングするためのマスクである。

【0135】以上のように、図9～11に示す画素構造とした場合、遮光膜を形成するために素子基板のマスク数を増加させることなく、コントラストの良い透過型の液晶表示装置を実現することができる。対向基板には遮光膜を補助的に形成すればよいので、貼り合わせの位置ずれによる光漏れ、開口率の低下はそれほど起こらない。

【0136】さらに、実施例1に比べ画素電極をソース配線に重なり合うように形成できるため、開口率が高くなる。かつ、表示色の比視感度に応じて遮光領域を決定するため、開口率の低下を抑えて、コントラストを確保できる。

【0137】[実施例5] 実施例5は本発明の別形態を示す。投射型の透過型の液晶表示装置に本発明を適用した例を示す。

【0138】実施例4と同様に、ソース配線に透明画素電極が重なり合うため、実施例1に比べ、開口率が高くなる。

【0139】ラビング方向は投射型の装置の光学系の光軸合わせを容易にするために、基板の一辺に対し45°の角度とする。このため、45°方向にラビングしたときに出るディスクリネーションに合わせて遮光領域を設定した。

【0140】素子基板は、図12及び図13に示すように、行方向に配置されたゲート配線211と、列方向に

(12)

21

配置された遮光膜を兼ねたソース配線202と、ゲート配線とソース配線の交差部近傍の画素TFTを有する画素部と、nチャネル型TFTやpチャネル型TFTを有する駆動回路とを含む。

【0141】ただし、図12及び図13におけるゲート配線は、行方向に配置された遮光膜を兼ねたゲート電極203と接続したものを指している。また、ゲート配線は第二の層間絶縁膜上に接して設けられたものである。

【0142】第一の半導体層200と第二の半導体層201がパターンニングされている。第一の半導体層200はTFT素子の活性層である。第二の半導体層201は後述する保持容量の容量電極として機能する。

【0143】ゲート絶縁膜（図示しない）に接するように、遮光膜を兼ねたソース配線202と遮光膜を兼ねたゲート電極203を形成する。液晶のディスクリネーションは後述する透明画素電極214のエッジ付近と、透明画素電極214の四隅のうち素子基板の先にラビングされる側に強く出る傾向がある。このため遮光膜を兼ねたソース配線202と遮光膜を兼ねたゲート電極203が透明画素電極のエッジを覆い、かつ、透明画素電極の四隅のうちディスクリネーションのでやすい場所を遮光できるような形状にする。

【0144】第一の層間絶縁膜と第二の層間絶縁膜（図示しない）を形成した後、コンタクトホール204～208を開けて、接続電極209、ドレイン電極210、ゲート配線211、容量接続電極212、遮光電極213を形成する。

【0145】コンタクトホール204とコンタクトホール205により、接続電極209を介して、第一の半導体層200とソース配線202が電氣的に接続する。

【0146】コンタクトホール206により、第一の半導体層200とドレイン電極210が電氣的に接続する。

【0147】コンタクトホール207により、第二の半導体層201と容量接続電極212が電氣的に接続する。

【0148】コンタクトホール208により、遮光膜を兼ねたゲート電極203とゲート配線211が電氣的に接続する。

【0149】さらに、絶縁膜を介さずに、透明画素電極214を、遮光電極213、容量接続電極212、ドレイン電極210に重なり合うように形成する。

【0150】これにより、容量接続電極212は透明画素電極214と電氣的に接続して、保持容量の電極として機能する第二の半導体層201に電位を与える。遮光膜を兼ねたゲート電極203と第二の半導体層201により保持容量ができる。ゲート絶縁膜が保持容量の絶縁膜として機能する。

【0151】ゲート配線211、接続電極209、ドレイン電極210により、TFT素子の活性層である第一

22

の半導体層200を外光から保護する。光による素子の劣化、光電流による電位の変動を防止できる。

【0152】遮光膜を兼ねたソース配線202、遮光膜を兼ねたゲート電極203の形状に特徴を持たせ、透明画素電極214の四隅のうち先にラビングされる側で強く出る光漏れを確実に隠すことができる。視認性に大きく影響するディスクリネーションを隠す。つまり、遮光膜を兼ねたソース配線202を列方向に伸びる配線形状に加えて、三角状の突起形状にして、ディスクリネーションが出る位置を遮光する。また、遮光膜を兼ねたゲート電極203の一部を三角状にして、ディスクリネーションを遮光する。また、遮光膜を兼ねたゲート電極203の一部をゲート配線211と、透明画素電極214の間隙に形成して、ディスクリネーションによる光漏れを遮光する。

【0153】ソース配線202とゲート電極203は同一層に形成されているため、ショートを防ぐ間隙がある。この間隙はソースライン反転駆動により、強くディスクリネーションが出る領域である。このため、絶縁膜を介して遮光電極213を形成する。

【0154】以上の画素のレイアウトにより、たった二枚の配線パターンのマスクにより、液晶のディスクリネーションによる光漏れを効率良く隠すことができる。

【0155】図14に図12の素子基板の遮光領域215を示す。たった二枚の配線パターンのマスクで遮光するため、光が通る領域はあるが、ディスクリネーションの出る領域のエッジが隠れているため、対向基板の遮光膜のアライメントが多少ずれても、光漏れが隠せる。また、対向基板の遮光膜を広めにとっても、素子基板の遮光領域の内側に対向基板の遮光領域が存在するため、アライメントがずれても、対向基板の遮光領域が素子基板の遮光領域に重なり合い、開口率の低下を防げる。

【0156】図12及び図13の素子基板の断面図を図15に示す。図15の鎖線H-H'、鎖線I-I'、鎖線J-J'は、図12及び図13を鎖線H-H'、鎖線I-I'、鎖線J-J'で切断したものを示す。図15は実施例2の図6(C)で示される基板に対し、以下の工程を追加し、作製したものである。図15(A)により説明する。

【0157】まず、第1の層間絶縁膜215を酸化窒化シリコン膜で100～200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜216を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0158】そして、駆動回路部において島状半導体層のソース領域とコンタクトを形成するソース配線217～219、ドレイン領域とコンタクトを形成するドレイン配線220～222を形成する。

【0159】また、画素部においては、接続電極209、ドレイン電極210、ゲート配線211、容量接続

(13)

23

電極212を形成する。膜厚は $0.3\mu\text{m}\sim 0.75\mu\text{m}$ が望ましい。

【0160】接続電極209は、遮光膜を兼ねたソース配線202と第一の半導体層200と電氣的に接続する。図示してはいないが、ゲート配線211は遮光膜を兼ねたゲート電極203とコンタクトホールにより電氣的に接続する。容量接続電極212は第二の半導体層201と電氣的に接続する。

【0161】その後、透明導電膜を全面に形成し、フォトマスクを用いたパターニング処理およびエッチング処理により透明画素電極214を形成する。膜厚は $100\text{nm}\sim 1400\text{nm}$ が望ましい。透明画素電極214は、画素TFT222のドレイン電極210に重なるように形成される。また、保持容量223の電極として機能する島状半導体膜201に電位が与えられる。

【0162】透明導電膜の材料は、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金($\text{In}_2\text{O}_3\text{-SnO}_2$;ITO膜)などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITO膜のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金($\text{In}_2\text{O}_3\text{-ZnO}$)を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITO膜に対して熱安定性にも優れているので、ドレイン電極210にAlを用いても、表面で接触するAlとの腐蝕反応を防止できる。同様に、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛(ZnO:Ga)などを用いることができる。

【0163】また、図15(B)により説明すると、本実施例において、ゲート電極203を、ゲート配線211と透明画素電極214の間隙に形成し、ゲート電極203をディスクリネーションによる光漏れを遮光する膜としている。第一の層間絶縁膜215と第二の層間絶縁膜216が、透明画素電極214とゲート電極203の間にある。

【0164】以上のようにして、nチャネル型TFT、pチャネル型TFT、nチャネル型TFTを有する駆動回路部と、画素TFT222、保持容量223とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0165】低温ポリシリコンをTFT素子の活性層に用いると、駆動回路TFTと画素TFTを1枚の基板上に作製できる。このとき、CMOSの駆動回路を作製するためにはnチャネル型TFTとpチャネル型TFTが必要である。

【0166】実施例2と本実施例の素子基板の作製工程によると、図12～15に示す画素構造を有する画素部

24

と、駆動回路とを有する素子基板を形成するために必要なマスク数は6枚でよい。さらに、実施例1に比べ画素電極をソース配線に重なり合うように形成できるため、開口率が高くできる。

【0167】即ち、1枚目が、第1の半導体層200及び第2の半導体層201をパターニングするマスク、2枚目が、遮光膜を兼ねたソース配線202及び遮光膜を兼ねたゲート電極203をパターニングするマスク、3枚目がp型を付与する不純物のドーピングマスク、4枚目がコンタクトホールを形成するマスク、5枚目は接続電極209、ドレイン電極210、ゲート配線211、容量接続電極212、遮光電極213をパターニングするマスク、6枚目は透明画素電極214をパターニングするためのマスクである。

【0168】以上のように、図12～15に示す画素構造とした場合、遮光膜を形成するために素子基板のマスク数を増加させることなく、コントラストの良い透過型の液晶表示装置を実現することができる。対向基板には遮光膜を補助的に形成すればよいので、貼り合わせの位置ずれによる光漏れ、開口率の低下を防げる。

【0169】[実施例6]本実施例では、実施例2で示したアクティブマトリクス基板のTFTの半導体層を形成する結晶質半導体層の他の作製方法について示す。本実施例では特開平7-130652号公報で開示されている触媒元素を用いる結晶化法を適用することもできる。以下に、その場合の例を説明する。

【0170】実施例2と同様にして、ガラス基板上に下地膜、非晶質半導体層を $25\sim 80\text{nm}$ の厚さで形成する。例えば、非晶質シリコン膜を 55nm の厚さで形成する。そして、重量換算で 10ppm の触媒元素を含む水溶液をスピンコート法で塗布して触媒元素を含有する層を形成する。触媒元素にはニッケル(Ni)、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)などである。この触媒元素を含有する層170は、スピンコート法の他にスパッタ法や真空蒸着法によって上記触媒元素の層を $1\sim 5\text{nm}$ の厚さに形成しても良い。

【0171】そして、結晶化の工程では、まず $400\sim 500^\circ\text{C}$ で1時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を $5\text{atom}\%$ 以下にする。そして、ファーンズアニール炉を用い、窒素雰囲気中で $550\sim 600^\circ\text{C}$ で1～8時間の熱アニールを行う。以上の工程により結晶質シリコン膜から成る結晶質半導体層を得ることができる。

【0172】このようにして作製された結晶質半導体層から島状半導体層を作製すれば、実施例2と同様にしてアクティブマトリクス基板を完成させることができる。しかし、結晶化の工程においてシリコンの結晶化を助長する触媒元素を使用した場合、島状半導体層中には

(14)

25

微量 ($1 \times 10^{17} \sim 1 \times 10^{19} \text{atoms/cm}^3$ 程度) の触媒元素が残留する。勿論、そのような状態でも TFT を完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン (P) によるゲッターリング作用を利用する手段がある。

【0173】この目的におけるリン (P) によるゲッターリング処理は、図 6 (C) で説明した活性化工程で同時に行うことができる。ゲッターリングに必要なリン (P) の濃度は高濃度 n 型不純物領域の不純物濃度と同程度でよく、活性化工程の熱アニールにより、n チャネル型 TFT および p チャネル型 TFT のチャネル形成領域から触媒元素をその濃度でリン (P) を含有する不純物領域へ偏析させることができる。その結果その不純物領域には $1 \times 10^{17} \sim 1 \times 10^{19} \text{atoms/cm}^3$ 程度の触媒元素が偏析した。このようにして作製した TFT はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0174】なお、本実施例は、実施例 1乃至5のいずれか一と自由に組み合わせることが可能である。

【0175】[実施例7] 本発明を実施して形成された CMOS 回路や画素部は様々な半導体装置 (アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 EC ディスプレイ) に用いることができる。即ち、それら半導体装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。以下の装置にセンサーを組み込み、消費電力低減のため、外部の明るさを検出して、暗いところでは、輝度を落とすようにしても良い。

【0176】図 18 (A) は携帯電話であり、本体 9001、音声出力部 9002、音声入力部 9003、表示装置 9004、操作スイッチ 9005、アンテナ 9006 から構成されている。本願発明は音声出力部 9002、音声入力部 9003、及びアクティブマトリクス基板を備えた表示装置 9004 に適用することができる。

【0177】図 18 (B) はビデオカメラであり、本体 9101、表示装置 9102、音声入力部 9103、操作スイッチ 9104、バッテリー 9105、受像部 9106 から成っている。本願発明は音声入力部 9103、及びアクティブマトリクス基板を備えた表示装置 9102、受像部 9106 に適用することができる。

【0178】図 18 (C) はモバイルコンピュータ或いは携帯型情報端末であり、本体 9201、カメラ部 9202、受像部 9203、操作スイッチ 9204、表示装置 9205 で構成されている。本願発明は受像部 9203、及びアクティブマトリクス基板を備えた表示装置 9205 に適用することができる。

【0179】図 18 (D) はヘッドマウントディスプレイであり、本体 9301、表示装置 9302、アーム部 9303 で構成される。本願発明は表示装置 9302 に適用することができる。また、表示されていないが、そ

26

他の信号制御用回路に使用することもできる。

【0180】図 18 (E) はテレビであり、本体 9401、スピーカー 9402、表示装置 9403、受信装置 9404、増幅装置 9405 等で構成される。実施例 5 で示す液晶表示装置や、実施例 6 または 7 で示す EL 表示装置は表示装置 9403 に適用することができる。

【0181】図 18 (F) は携帯書籍であり、本体 9501、表示装置 9502、9503、記憶媒体 9504、操作スイッチ 9505、アンテナ 9506 から構成されており、ミニディスク (MD) や DVD に記憶されたデータや、アンテナで受信したデータを表示するものである。表示装置 9502、9503 は直視型の表示装置であり、本発明はこの適用することができる。

【0182】図 18 (A) はパーソナルコンピュータであり、本体 9601、画像入力部 9602、表示装置 9603、キーボード 9604 で構成される。

【0183】図 18 (B) はプログラムを記録した記録媒体 (以下、記録媒体と呼ぶ) を用いるプレーヤーであり、本体 9701、表示装置 9702、スピーカ部 9703、記録媒体 9704、操作スイッチ 9705 で構成される。なお、この装置は記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0184】図 18 (C) はデジタルカメラであり、本体 9801、表示装置 9802、接眼部 9803、操作スイッチ 9804、受像部 (図示しない) で構成される。

【0185】図 18 (A) はフロント型プロジェクターであり、表示装置 9901、スクリーン 9902 で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0186】図 18 (B) はリア型プロジェクターであり、本体 10001、投射装置 10002、ミラー 10003、スクリーン 10004 で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0187】なお、図 18 (C) は、図 18 (A) 及び図 18 (B) 中における投射装置 9901、10002 の構造の一例を示した図である。投射装置 9901、10002 は、光源光学系 10101、ミラー 10102、10104~10106、ダイクロックミラー 10103、プリズム 10107、液晶表示装置 10108、位相差板 10109、投射光学系 10110 で構成される。投射光学系 10110 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 18 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IR フィルム等の光学系

(15)

27

を設けてもよい。

【0188】また、図18 (D) は、図18 (C) 中における光源光学系10201の構造の一例を示した図である。本実施例では、光源光学系10201は、リフレクター10211、光源10212、レンズアレイ10213、10214、偏光変換素子10215、集光レンズ10216で構成される。なお、図18 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、I 10 Rフィルム等の光学系を設けてもよい。

【0189】

【発明の効果】本発明により素子基板のマスク数及び工程数を増加させることなく、高い開口率及び良質な黒レベルを実現した画素構造を有する液晶表示装置を実現することができる。

【図面の簡単な説明】

【図1】 本発明の画素部上面図を示す図。(実施例1)

【図2】 本発明の画素部上面図を示す図。(実施例 20 1)

【図3】 ラビング方向と遮光領域の関係を示す図。(実施例1)

【図4】 アクティブマトリクス基板の断面構造図を示す図。(実施例1)

【図5】 アクティブマトリクス基板の作製工程を示す図。(実施例2)

【図6】 アクティブマトリクス基板の作製工程を示す図。(実施例2)

【図7】 アクティブマトリクス基板の作製工程を示 30 す図。(実施例2)

28

【図8】 透過型液晶表示装置の断面構造図を示す図。(実施例3)

【図9】 本発明の画素部上面図を示す図。(実施例4)

【図10】 ラビング方向と遮光領域の関係を示す図。(実施例4)

【図11】 アクティブマトリクス基板の断面構造図を示す図。(実施例4)

【図12】 本発明の画素部上面図を示す図。(実施例5)

【図13】 本発明の画素部上面図を示す図。(実施例5)

【図14】 ラビング方向と遮光領域の関係を示す図。(実施例5)

【図15】 アクティブマトリクス基板の断面構造図を示す図。(実施例5)

【図16】 電子機器の一例を示す図。(実施例7)

【図17】 電子機器の一例を示す図。(実施例7)

【図18】 電子機器の一例を示す図。(実施例7)

【図19】 液晶のディスクリネーションによる光漏れを示す図。

【図20】 液晶のディスクリネーションによる光漏れを示す図。

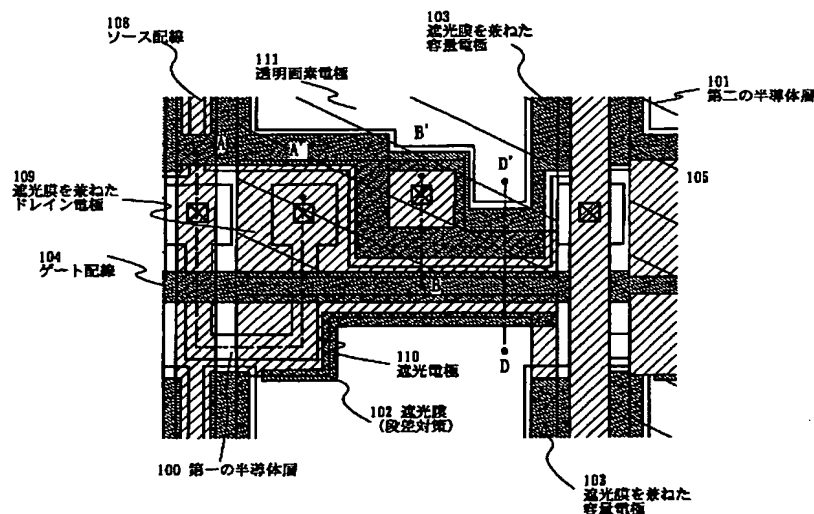
【図21】 アクティブマトリクス基板の断面構造図を示す図。

【図22】 液晶のディスクリネーションによる光漏れを示す図。

【図23】 対向基板のアライメントずれによる液晶のディスクリネーションによる光漏れを示す図。

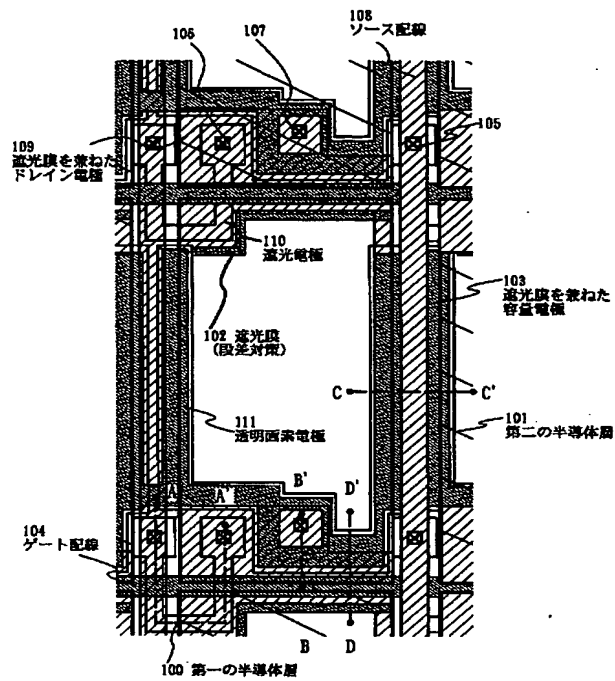
【図24】 比視感度の波長依存性を示す図。

【図2】

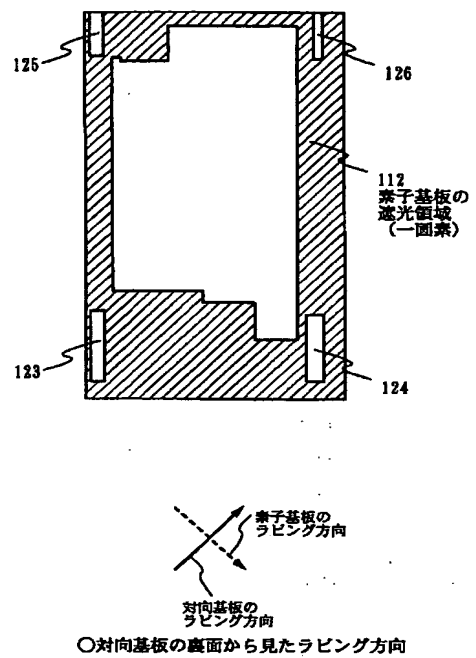


(16)

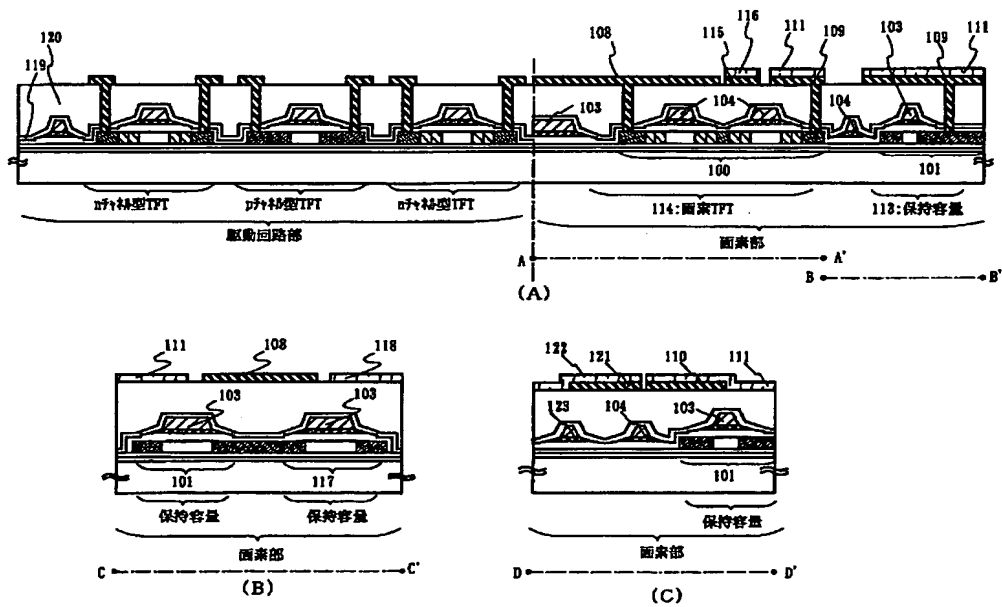
【図 1】



【図 3】

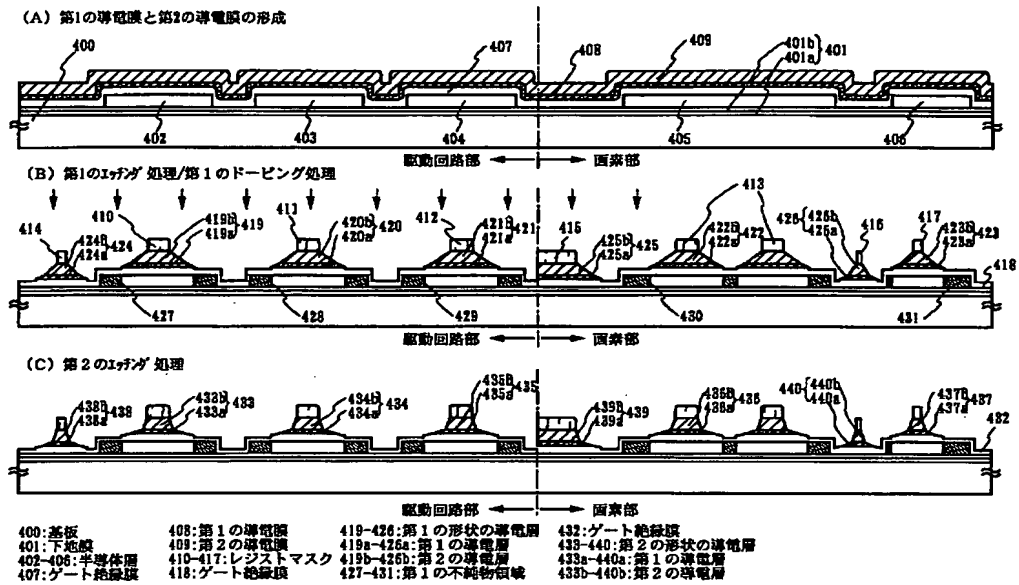


【図 4】

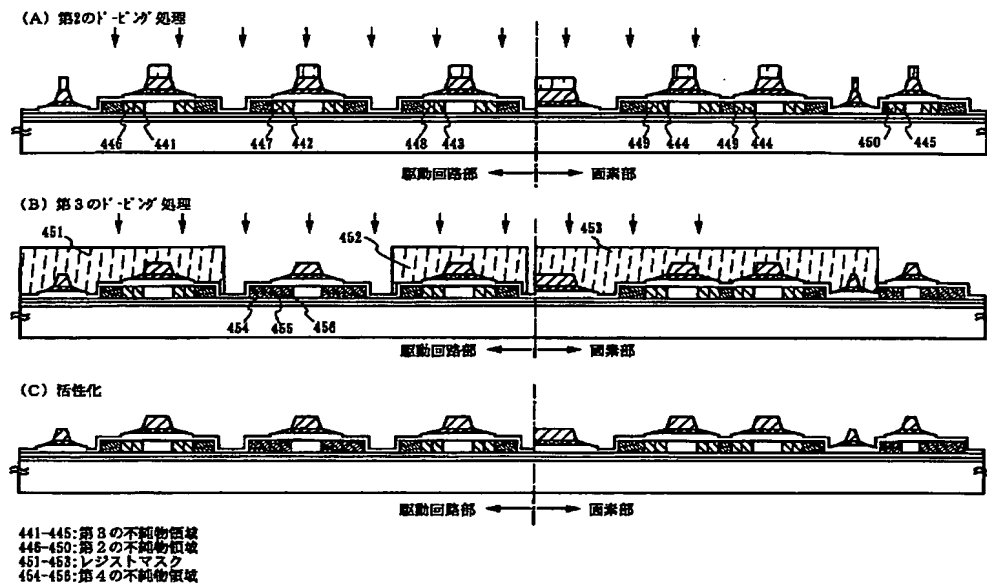


(17)

【図 5】

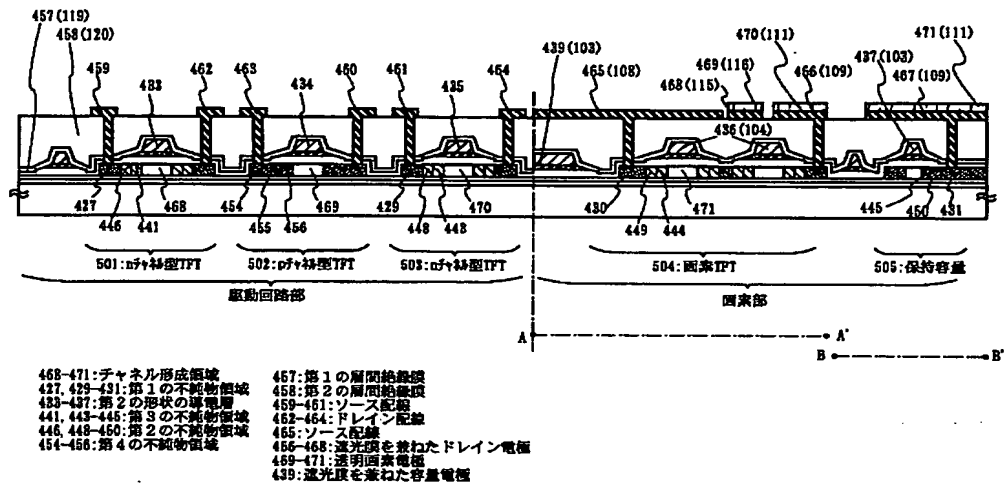


【図 6】

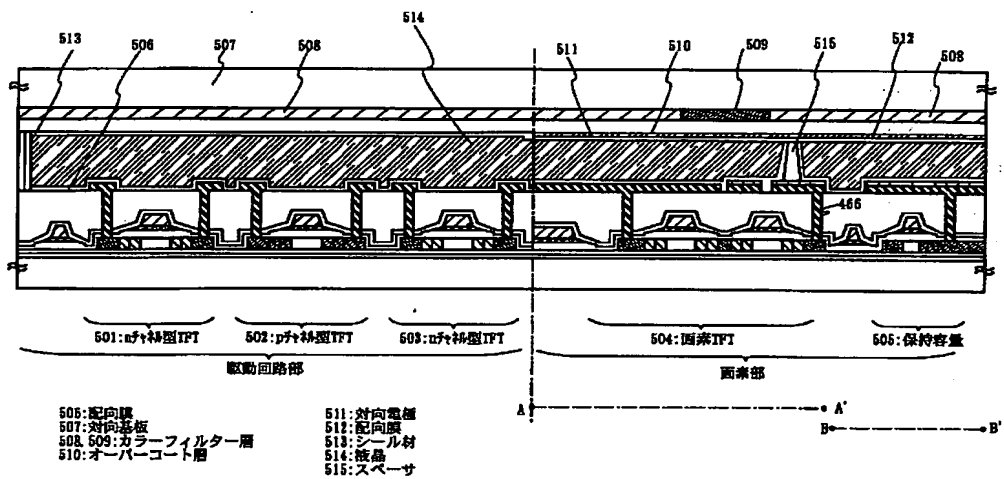


(18)

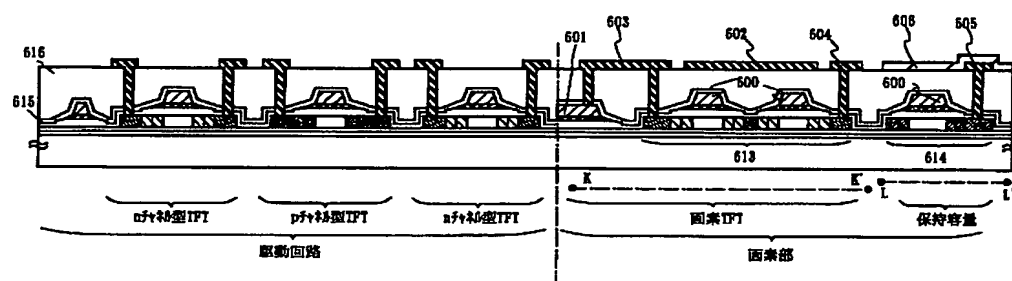
【图 7】



【图 8】

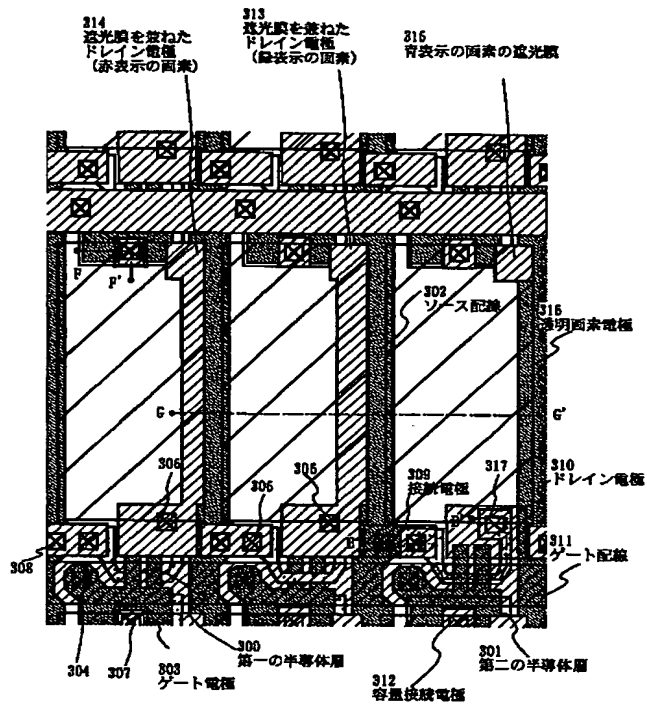


【図 2 1】

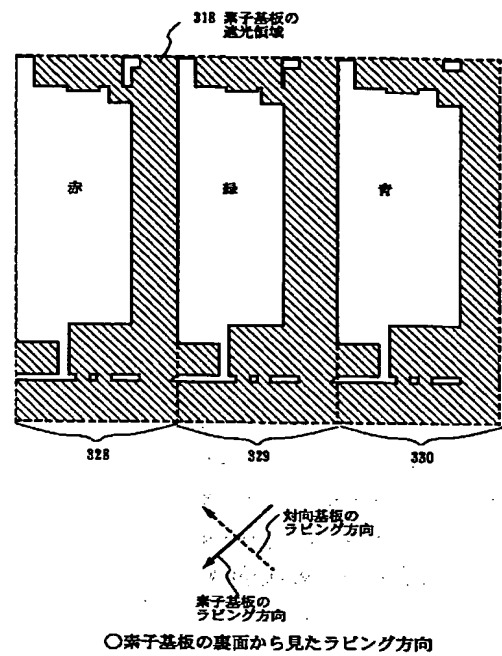


(19)

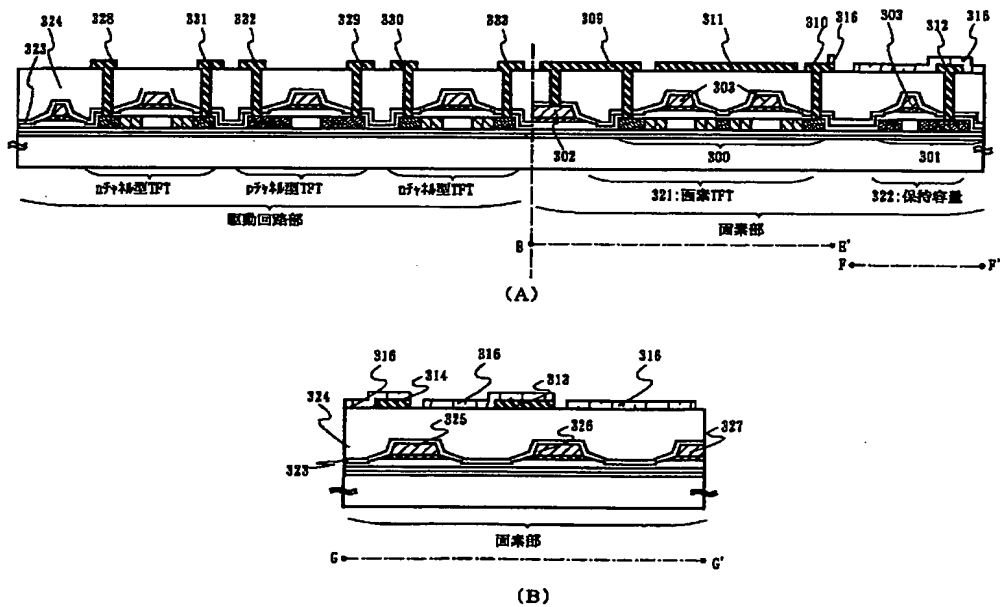
【図 9】



【図 10】

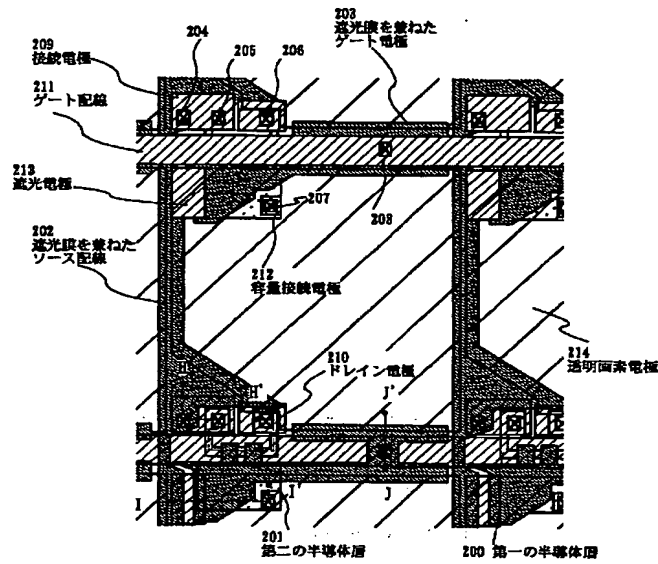


【図 11】

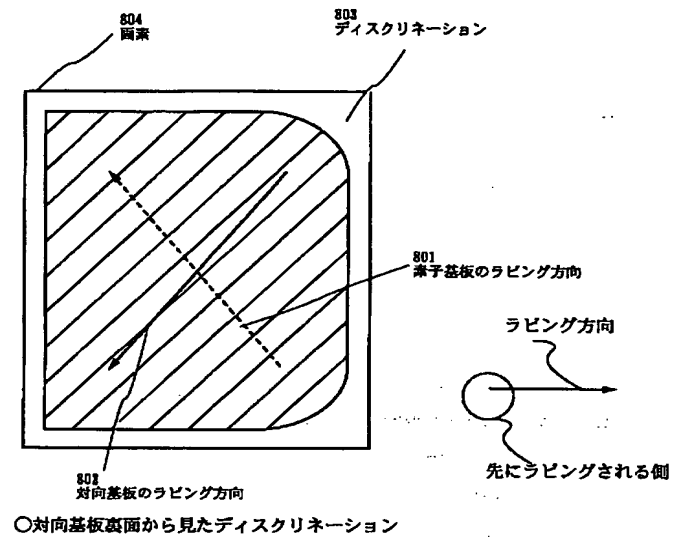


(20)

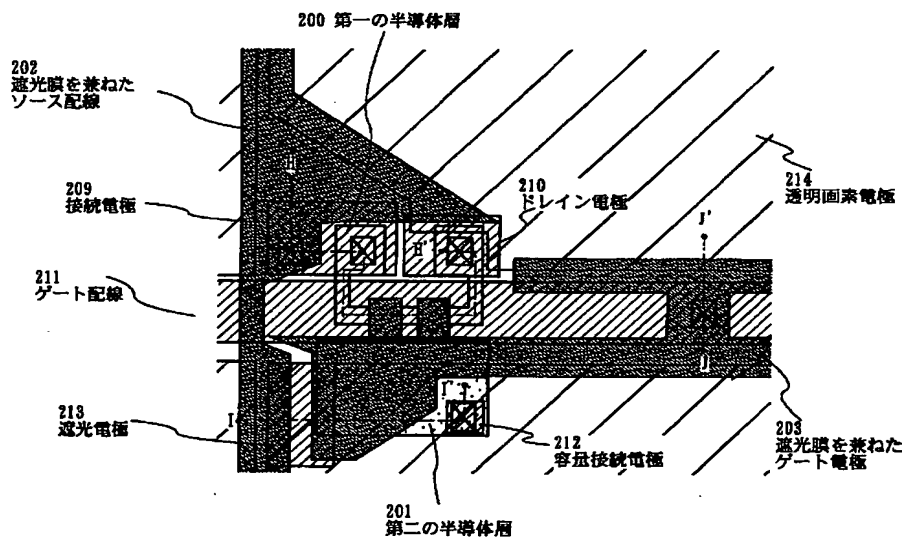
【図 12】



【図 22】

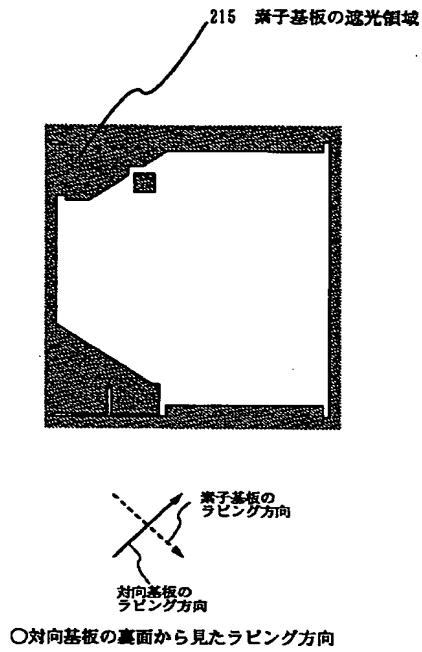


【図 13】

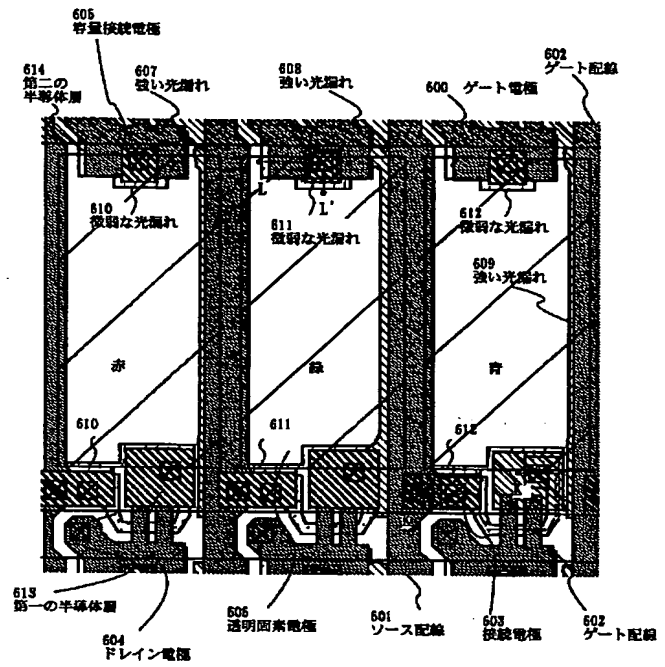


(21)

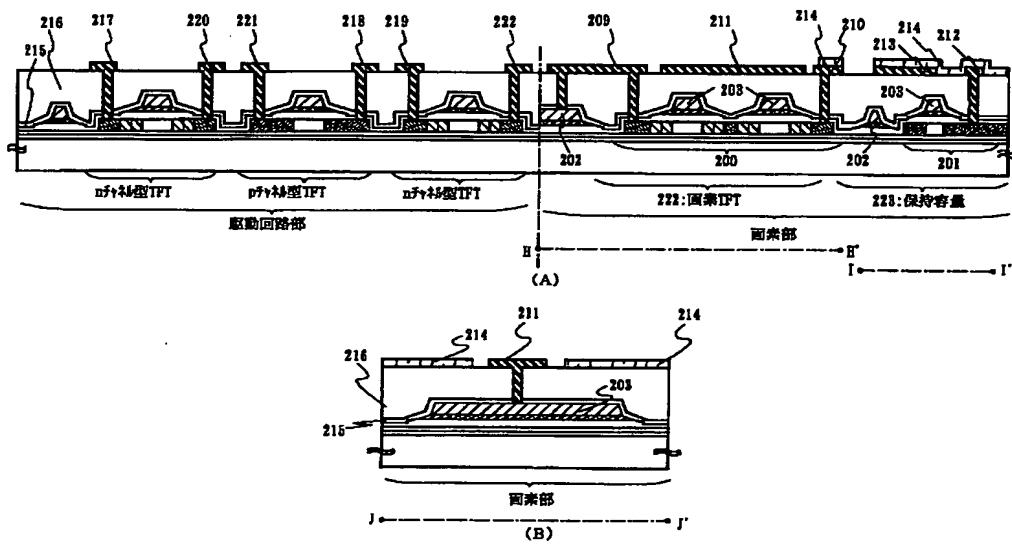
【図 14】



【図 19】

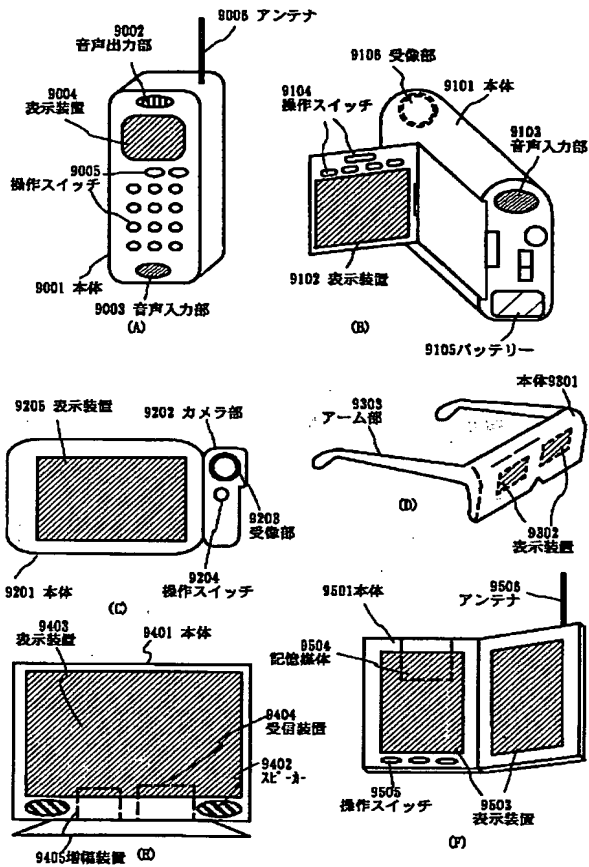


【図 15】

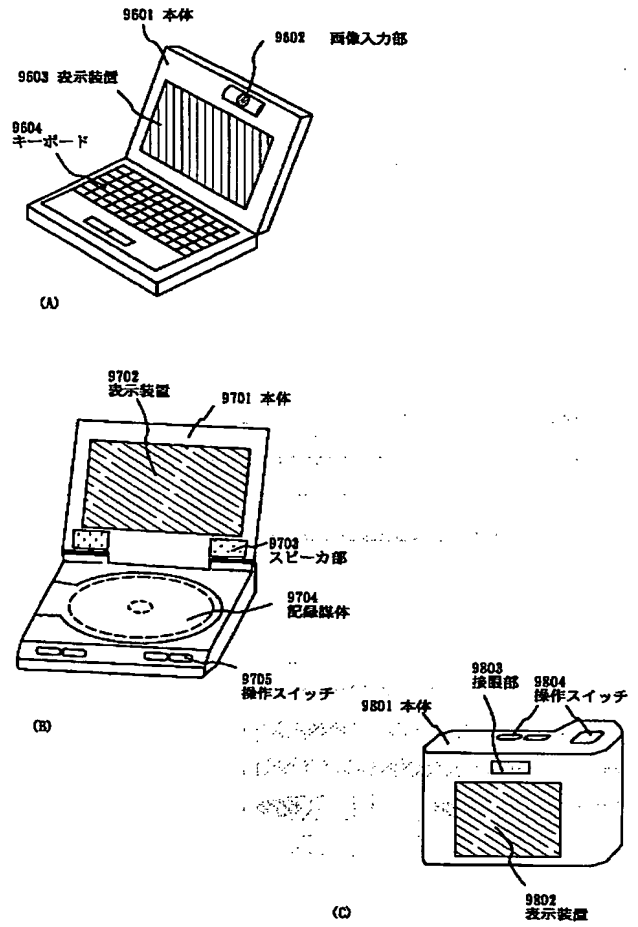


(22)

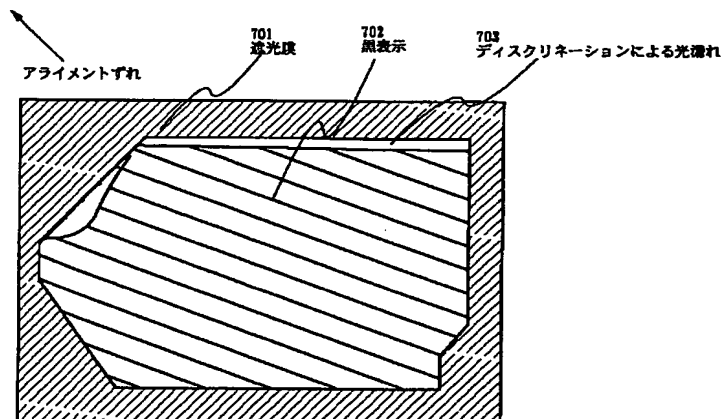
【図 16】



【図 17】

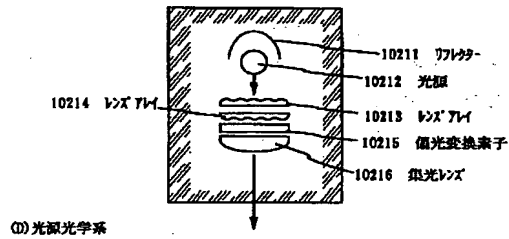
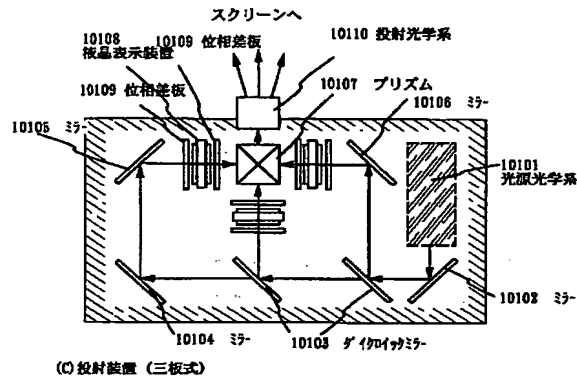
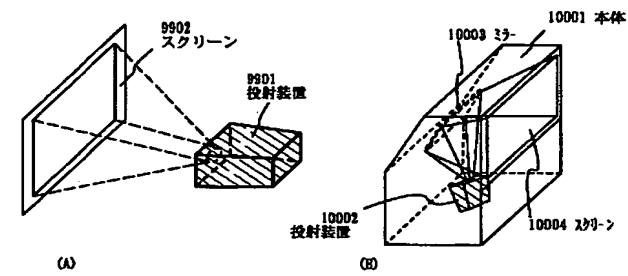


【図 23】

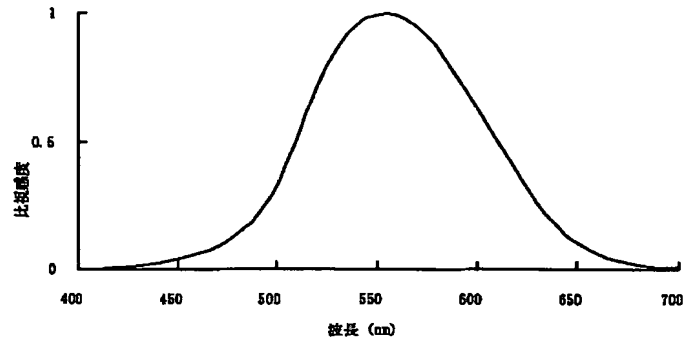


(23)

【図18】



【図24】



明所視の比較感度

(24)

【図20】

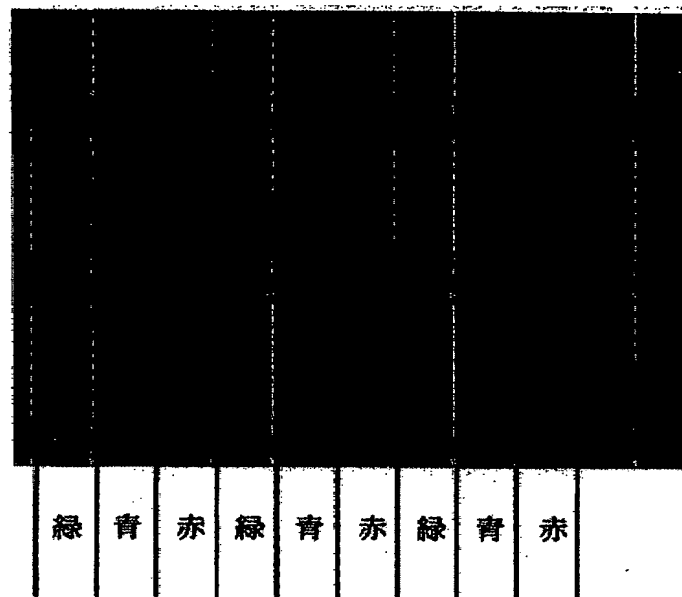


写真 (倍率200倍)

対向基板の
ラビング方向



素子基板の
ラビング方向

○素子基板の裏面から見たディスクリネーション

(25)

フロントページの続き

Fターム(参考) 2H092 GA29 JA24 JA37 JA41 JA46
JB51 JB69 KA04 KA10 MA05
MA08 MA12 MA15 MA19 MA27
MA30 NA29 PA06 PA08 QA07
QA13
4M104 BB01 BB02 BB04 BB14 BB16
BB17 BB18 BB32 CC05 DD37
DD65 FF08 FF18 GG20
5C094 AA16 AA43 AA45 BA03 BA43
CA19 DA13 EA04 EA07 EB05
FB14
5F110 AA16 AA26 BB02 BB04 CC02
DD02 DD13 DD14 DD15 DD17
EE01 EE02 EE03 EE04 EE06
EE09 EE11 EE14 EE23 EE44
EE45 FF02 FF03 FF04 FF09
FF13 FF28 FF30 FF36 GG01
GG02 GG13 GG25 HJ01 HJ04
HJ12 HJ13 HJ23 HL01 HL03
HL07 HL22 HL23 HM13 HM15
NN02 NN03 NN22 NN44 NN72
NN73 PP01 PP03 PP04 PP05
PP06 PP10 PP13 PP34 QQ04
QQ11 QQ24 QQ25 QQ28

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.